

## 第二章 基礎微加工製程模組

### 2.1 熱製程及離子佈植

本節將討論與摻質引入、移動以及熱氧化層成長有關的製程。對大部分的半導體元件而言，摻質是必要的，因此摻質引入通常為製程中的前幾道製程。為了使元件能正常操作，摻雜區必須有正確的濃度及大小。因此本節首先將討論摻雜原子在擴散 (diffusion) 作用下之移動，接著將討論矽之熱氧化。早期的摻質引入技術是以氣態或液態之蒸氣作摻雜源，利用高溫烘烤將摻質引入晶片中。然而隨著元件尺寸的縮小，所發展的離子佈植 (ion implantation) 技術能夠愈來愈精準的控制植入於晶片中的摻雜位置及數量。但是標準的植入及高溫回火步驟並不適用於目前最先進的製程，因此有一些特殊的方法被發展來將擴散所造成之摻質的重新分布最小化，而其中最重要的是快速熱製程 (rapid thermal process, RTP)。

#### 2.1.1 擴散

半導體元件良否端賴於在晶片上製造出控制良好的、區域化的摻雜區之能力。因此，首先摻質必須被引入晶片的某些區域，且這些摻質必須是活化的，才能貢獻出所需的載子。此外，亦必須是元件設計者想要的濃度。通常濃度分布圖的垂直軸為摻質濃度或載子濃度，水平軸則為引入晶片之深度。因為摻質濃度之變化通常大於好幾個數量級，所以濃度通常取對數座標。因為矽之密度為  $5 \times 10^{22}$  原子/立方公分，所以主動元件區之典型的摻質濃度 ( $10^{17}$  原子/立方公分) 極低，約只佔百萬分之幾。

摻質引入之後，會在晶片內重新分布，這也許是故意設計的，也可能是其他某一熱製程之寄生效應。但不管是那一種，均需控制及監視。晶片中摻質原子的移動主要是靠擴散，即濃度梯度附近材料的淨移動，此乃隨機熱運動的結果。

描述擴散的基本方程式為費克第一定律 (Fick's first law)：

$$J = -D \frac{\partial C(x,t)}{\partial x} \quad (2.1)$$

其中  $C$  為摻質濃度， $D$  為擴散係數， $J$  為材料之淨通量，亦即每單位時間通過每單位面積的摻質數目，負號表示摻質之淨移動乃往濃度減少之方向。

雖然費克第一定律可精確地描述擴散製程，然而在此應用中，並無簡便量測摻質通量之方法。因此，描述相同的概念，但可較快速測量的費克定律第二表示式被發展出來。在說明此表示式時，最容易的方法是從一具均勻橫截面積  $A$  的長條狀材料開始，如圖 2.1 所示。考慮一長度  $dx$  的小體積，

$$\frac{J_2 - J_1}{dx} = \frac{\partial J}{\partial x} \quad (2.2)$$

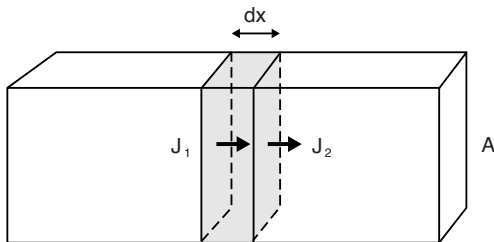


圖 2.1

在截面積  $A$  的長條中的微分體積單元， $J_1$  及  $J_2$  為進入及離開此體積單元的摻質通量。

其中  $J_2$  為離開該體積的摻質通量， $J_1$  為進入該體積的摻質通量。如果這兩個通量不相等，則該體積內擴散物種之濃度將改變。該體積內之摻質數目正好是濃度與微分體積單元 ( $A dx$ ) 的乘積，因此連續方程式可表示為

$$A dx \frac{\partial C}{\partial t} = -A(J_2 - J_1) = -A dx \frac{\partial J}{\partial x} \quad (2.3)$$

或  $\frac{\partial C(x,t)}{\partial t} = -\frac{\partial J}{\partial x}$

根據費克第一定律，此式可改寫為

$$\frac{\partial C(x,t)}{\partial t} = \frac{\partial}{\partial x} \left( D \frac{\partial C}{\partial x} \right) \quad (2.4)$$

式 (2.4) 為費克第二定律 (Fick's second law) 最常見的表示式。若假設擴散係數與位置無關，則式 (2.4) 可改寫成下面較簡單的型式：

$$\frac{\partial C(z,t)}{\partial t} = D \frac{\partial^2 C(z,t)}{\partial z^2} \quad (2.5)$$

其中位置變數已被更改為  $z$ ，以表示進入晶片之方向 (深度) 是主要的研究方向。最後，在等向性 (isotropic) 之環境下，費克第二定律的三維表示式為

$$\frac{\partial C}{\partial t} = D\nabla^2 C \quad (2.6)$$

接著就是解一個對位置為二階、對時間為一階之微分方程式，至少需要兩個獨立的邊界條件 (boundary condition)。

回到擴散係數為一常數之假設下，則費克第二定律為簡單的微分方程式，可在各種邊界條件下求其解。實際上令人感興趣之摻雜圖形均相當複雜，且擴散係數為常數之假設亦是相當有問題的，因此式 (2.5) 必須以數值方法求解，藉由兩組邊界條件可推導出精確解。這些解可用來作為我們對於擴散製程的基本認識，及作為實際分布圖的粗略近似。

費克定律第一型的解為在所有的時刻、表面之擴散源濃度保持為一常數下得到的，此稱為預置擴散 (predeposition diffusion)，邊界條件 (位置有兩個，時間有一個) 為

$$\begin{aligned} C(z,0) &= 0 \\ C(0,t) &= C_s \\ C(\infty,t) &= 0 \end{aligned} \quad (2.7)$$

在此邊界條件下之解為

$$C(z,t) = C_s \operatorname{erfc}\left(\frac{z}{2\sqrt{Dt}}\right), \quad t > 0 \quad (2.8)$$

此式中， $C_s$  為固定之表面濃度， $\operatorname{erfc}$  稱為補誤差函數 (complimentary error function)。常用範圍之補誤差函數的值在許多數學手冊中均有登錄，有興趣的讀者可自行參閱。在擴散問題的解之中， $\sqrt{Dt}$  是一個常見的量，稱為特徵擴散長度 (characteristics diffusion length)。

預置擴散之摻雜量隨著擴散之時間而改變。為了得到摻雜量，可將擴散分布圖積分如下：

$$Q_t(t) = \int_0^{\infty} C(z,t) dz = \frac{2}{\sqrt{\pi}} C(0,t) \sqrt{Dt} \quad (2.9)$$

摻雜量以每單位面積之摻質數目為單位 (通常是每平方公分) 來測量。因為擴散分布圖之深度通常小於  $1 \mu\text{m}$  ( $10^{-4} \text{ cm}$ )，摻雜量  $10^{15} \text{ cm}^{-2}$ ，意謂著體濃度大於  $10^{19} \text{ cm}^{-3}$ 。因預置擴散之表面濃度是固定的，總摻雜量隨著時間之平方根而增加。

費克定律的第二種解稱為驅入擴散 (drive in diffusion)，亦即引入晶片中之初始的摻質量為  $Q_r$ ，在  $Q_r$  保持常數之邊界條件下擴散。若擴散長度遠大於初始分布圖形之寬度，初始之分布圖形可近似成  $\delta$  函數 (delta function)。此時之邊界條件為

$$\begin{aligned} C(z,0) &= 0, \quad z \neq 0 & (2.10) \\ \frac{dC(0,t)}{dz} &= 0 \\ C(\infty,t) &= 0 \\ \int_0^{\infty} C(z,t) dz &= Q_r = \text{常數} \end{aligned}$$

費克第二定律在這些條件下之解，為中心在  $z = 0$  之高斯分布 (Gaussian distribution)：

$$C(z,t) = \frac{Q_r}{\sqrt{\pi Dt}} e^{-z^2/4Dt}, \quad t > 0 \quad (2.11)$$

表面濃度  $C_s$  隨著時間減少之情形為

$$C_s = C(0,t) = \frac{Q_r}{\sqrt{\pi Dt}} \quad (2.12)$$

讀者可以很容易地驗證在  $z = 0$  處，對於所有的  $t \neq 0$ ， $dC/dz$  等於零。圖 2.2 為以特徵擴散長度  $\sqrt{Dt}$  為參數之 (a) 預置擴散及 (b) 驅入擴散的摻質濃度之分布圖。

一種傳統的作法是同時使用這兩種擴散，先預置擴散，再做驅入擴散。驅入擴散的邊界條件之一是除了表面外，任何地方之初始摻質濃度為零。事實上只要滿足下式

$$\sqrt{Dt}_{\text{預置}} \ll \sqrt{Dt}_{\text{驅入}} \quad (2.13)$$

則驅入擴散為良好的近似。

一旦擴散摻質之後，就希望能夠量測摻質濃度對深度及位置之函數。目前有許多技術可用來得到深度的擴散分布圖，但卻極難得到具有足夠解析度的側向分布圖。得到關於擴散分布圖資訊的最簡單技術為量測其片電阻 (sheet resistance)，再反推濃度分布。片電阻之值為

$$R_s = \left[ q \int \mu(C) C_c(z) dz \right]^{-1} \quad (2.14)$$

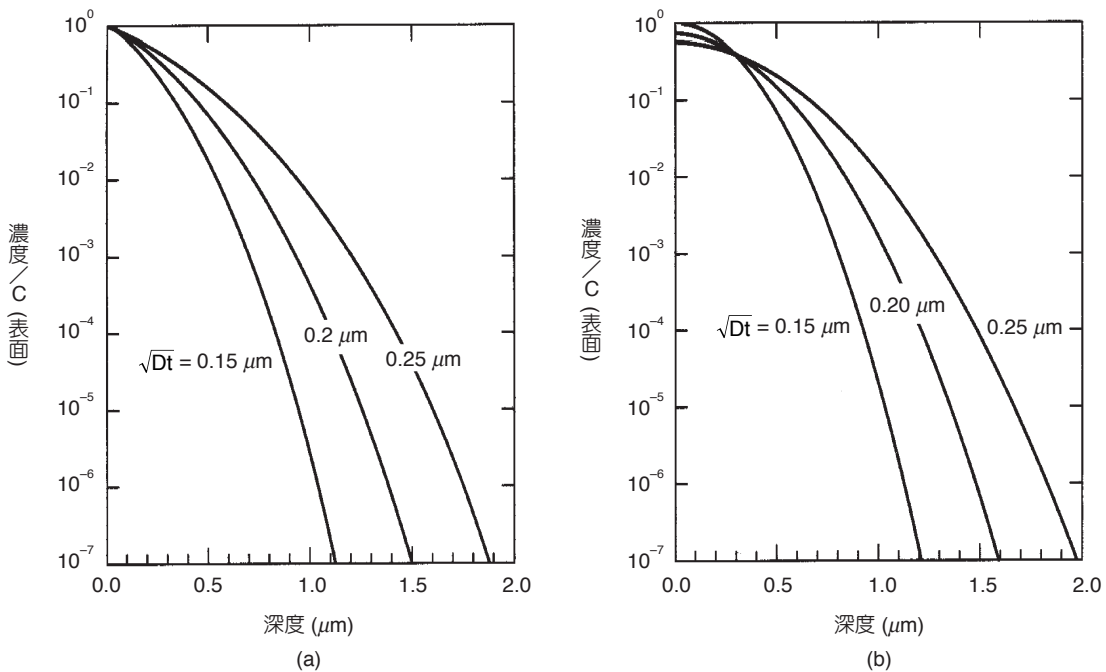


圖 2.2 在數種特徵擴散長度下，(a) 預置擴散及 (b) 驅入擴散之濃度對深度的函數圖。

其中  $C_c(z)$  為載子濃度， $\mu(C)$  為與濃度有關之移動率， $R_s$  稱為片電阻，其單位為每平方面積之歐姆值 (ohms per square,  $\Omega/\square$ )。片電阻之量測既快且容易，可以提供工程師有用之資訊。特別當標準值或目標的片電阻值已知時，則更快且容易。

片電阻值可用許多種量測方式得到，最簡單的為圖 2.3(a) 中所使用的四點探針法。四點探針法可以在數種幾何結構下進行，最常用的結構是共線結構。在此情況中，電流在靠外部的兩根探針間流動，而量測內部兩根探針間的電壓。藉由量測電壓降與驅入電流之比值，即可求得片電阻值。此結果必須乘上一個與探針幾何有關的修正因子，以及探針間距對擴散厚度的比值<sup>(1)</sup>。對於共線探針，若探針之間距遠大於接面深度，此因子為 4.5325<sup>(2)</sup>。此法要有效地描述半導體中之擴散分布圖，必須注意到在量測層下方之基板必須是絕緣的，或者其電阻值遠較量測層來得高，否則量測層將與基板形成逆偏之二極體。在後者之情況中，如果針壓過大，則極淺之接面可能被穿透。再者，此片電阻之量測包含了接面附近之空乏區的效應。

第二種量測片電阻之技術為凡得瓦 (van der Pauw) 法<sup>(3)</sup>。同樣地，此法亦用到了四根探針，但卻是接觸在樣本的四個角落。在一對鄰近的接點之間驅入電流，而在另一對接點之間量測電壓，如圖 2.3(b) 所示。為了增加準確度，探針之接法旋轉 90° 並重複此量測 3 次。因此，平均之電阻值可由下式得到：

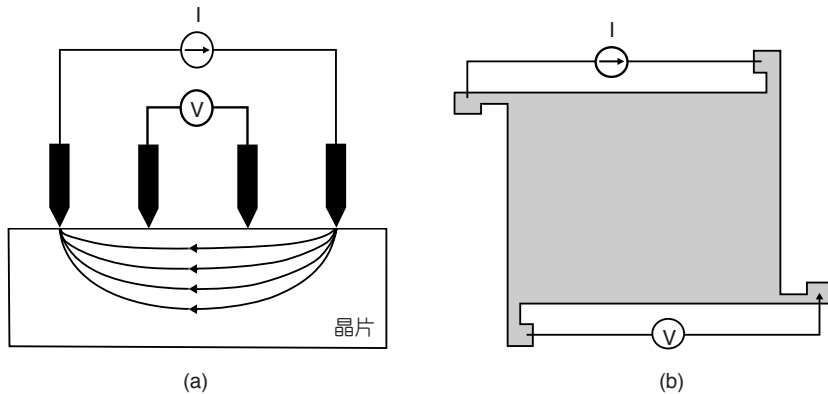


圖 2.3  
決定一樣本之電阻係  
數的 (a) 四點探針法及  
(b) 凡得瓦 (van der Pauw)  
法。

$$R = \frac{1}{4} \left[ \frac{V_{12}}{I_{34}} + \frac{V_{23}}{I_{41}} + \frac{V_{34}}{I_{12}} + \frac{V_{41}}{I_{23}} \right] \quad (2.15)$$

且

$$R_s = \frac{\pi}{\ln(2)} F(Q) R \quad (2.16)$$

其中  $F(Q)$  為一與探針之幾何結構有關的修正因子。對一正方形而言， $F(Q) = 1$ 。在本技術中，必須仔細且正確地量測幾何結構。假使樣本為一正方形，則接點必須做在樣本的邊緣<sup>(4)</sup>。這可由將晶片切成正方形及在其上製作歐姆接點 (ohmic contact) 來達成，然而更常用的方法是以微影 (lithography) 定義出一個凡得瓦結構，利用氧化層或界面隔離以限制擴散之幾何結構。

片載子濃度亦能與深度之量測組合，以提供擴散分布圖更完整的描述。這通常藉由將晶片切成斜角或者在晶片表面以機械方式研磨出一個已知直徑之凹槽來完成。之後將晶片浸入對晶片具選擇性之蝕刻溶液 (stain solution) 中，此溶液之蝕刻速率視載子之電性及濃度而定。以 1 : 3 : 10 的氫氟酸、硝酸及醋酸的混合液蝕刻  $p$  型矽，將使其變黑。用來選擇性蝕刻砷化鎵的一種混合液是 1 : 1 : 10 的氫氟酸、雙氧水及水。本例中，樣本必須暴露於強光中。選擇性蝕刻之後，以具校準過接目鏡之光學顯微鏡來量測被選擇性蝕刻之區域的寬度，可從已知的斜角或凹槽之幾何來決定界面之深度。對於界面深度小於  $1 \mu\text{m}$  之界面，因精確度及再現性之限制使得選擇性蝕刻法不適用，因此此法愈來愈少用了。

片電阻法受限於必須得到某些移動率的值，甚至是整體之載子濃度。圖 2.4 的霍爾效應可用來直接量測整體之載子濃度。在此量測中，擴散層中流動之電流會受到一垂直於電流流動方向的磁場作用。若假設擴散層中只存在電洞，則每一電洞所受到之羅倫茲力 (Lorentz force) 為

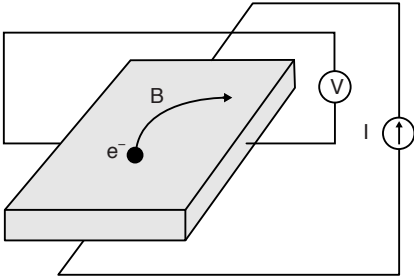


圖 2.4

利用霍爾效應可同時量測載子的極性、移動率及片濃度。

$$\mathbf{F} = q\mathbf{v} \times \mathbf{B} \quad (2.17)$$

在垂直於電流方向及磁場方向兩者之電場分量，所對應的電力大到等於羅倫茲力之前，亦即

$$\varepsilon_y = v_x B_z \quad (2.18)$$

電洞將因羅倫茲力而偏向。此電場之建立稱為霍爾效應 (Hall effect)，所產生之電壓稱為霍爾電壓：

$$V_h = v_x B_z w \quad (2.19)$$

其中  $w$  為擴散之寬度。電洞之漂移速度與電流之關係為

$$v_x = \frac{I_x}{qwx_j \bar{C}_e} \quad (2.20)$$

其中

$$\bar{C}_e = \frac{\int_0^{x_j} C_e dx}{x_j} \quad (2.21)$$

因此，整體之載子濃度為

$$\int_0^{x_j} C_e dx = x_j \bar{C}_e = \frac{I_x B_x}{qV_h} \quad (2.22)$$

若此四個接點亦用於凡得瓦量測，則此結果亦可用來求得樣本之平均霍爾移動率。因此平均之霍爾移動率為

$$\bar{\mu} = \frac{1}{qx_j C_e R_s} \quad (2.23)$$

一般對擴散分布圖的平均移動率之興趣不高，然而一個具均勻濃度之磊晶層的霍爾移動率通常為判斷其品質常用的一個指標。前面所提的技術均有一嚴重之限制，亦即僅提供關於分布圖整體之資訊。有幾種方法可用來量測載子濃度對深度之函數。第一種是利用二極體 (*pn* 接面或蕭特基) 或 MOS 電容器的電容—電壓 (C-V) 特性。雖然 MOS 技術廣泛地被使用，但製程上較困難，因為必須使矽／二氧化矽界面之界面態密度夠低，可靠度才沒有疑慮。這裡將只介紹二極體技術，但兩種技術極為類似。

假設此結構可用空乏區近似來描述，則對於單邊突變接面或蕭特基接點而言，空乏區之寬度為

$$W = \sqrt{\frac{2\epsilon(V_{bi} + V)}{qN_{sub}}} \quad (2.24)$$

其中  $\epsilon$  為半導體之介電常數， $V_{bi}$  為二極體之內建電壓， $N_{sub}$  為基板之摻雜濃度， $V$  為外部供應電壓。因此二極體之電容值為

$$C = \frac{A\epsilon}{W} = \sqrt{\frac{A^2 q\epsilon N_{sub}}{2(V + V_{bi})}} \quad (2.25)$$

對電壓微分並解摻質濃度，可得

$$N_{sub}(z) = \frac{8(V + V_{bi})^3}{A^2 q\epsilon} \left[ \frac{dC(z)}{dV} \right]^2 \quad (2.26)$$

為了測得基板之摻雜濃度，必須量測空乏區之電容對供應電壓的函數，並求其第一階導函數。每一電壓資料點所對應的摻雜濃度，可由式 (2.26) 決定。對應於該點之深度可由式 (2.25) 求得。

C-V 法有幾個大的限制。第一為當矽中之摻質濃度大於  $1 \times 10^{18} \text{ cm}^{-3}$  時，則無法被測出。在此濃度下，半導體變成是簡併的 (degenerate)，其行為較像金屬而非半導體。第二為空乏區之邊緣並非突變的 (not abrupt)，而是延續幾個杜比長度 (Debye length,  $L_D$ ) 而逐漸變化的情況：

$$L_D = \sqrt{\frac{\epsilon kT}{q^2 C_{sub}}} \quad (2.27)$$



因此，突變之摻雜分布圖無法以其載子之分布圖作良好的描述。最後，C-V 技術所能提供的分布圖之深度，僅能對應於蕭特基二極體之崩潰電壓或 MOS 電容器之反轉電壓。目前有數種定量的二維摻雜分布圖之量測技術正在發展中，其中包括奈米散布電阻 (nanospreading resistance) 以及先進之對摻質極靈敏的蝕刻系統等。其中最被看好的或許是掃描式電容顯微 (SCM) 技術<sup>(5)</sup>。SCM 技術利用一原子力顯微鏡 (atomic force microscope, AFM)，以導電性的探針掃描樣本上方，通常是量測樣本之邊緣，其通常會被針尖所穿過。導電性的針尖可用於量測反轉時的電容值，此電容值可以很快速地被轉換成針尖下方的摻雜濃度。典型的電容值小於 1 pF ( $10^{-12}$  F)。雖然此系統之校準的難度甚高，但是得到定量上一致性的結果是有可能的。

### 2.1.2 熱氧化

矽積體電路及微機電技術蓬勃發展的原因之一為矽極易形成一極佳的氧化層：二氧化矽。此氧化層被廣泛的使用在如金氧半電晶體等主動元件的絕緣層，及隔離主動元件之間的場氧化層 (field oxide)。形成二氧化矽的方法有很多，本節將介紹熱氧化法 (thermal oxidation)。此種方法長出的氧化層，不管在本體或在與矽相接的界面，均具最少的缺陷。可惜的是，大部分其他的半導體製程均無法提供可用於元件製造之高品質的氧化層，使得氧化層主要只應用於矽製程。

在分子氧中，矽的氧化係根據式 (2.28) 中的反應：



此製程稱為乾氧化 (dry oxidation)，因其使用分子氧而不是水蒸氣做為氧化劑。迪兒一葛洛夫的氧化模型 (the Deal-Grove model of oxidation) 可準確預估厚度大於 300 Å 之熱氧化的氧化層厚度<sup>(6)</sup>。成長氧化層不一定要高溫，室溫下矽在空氣中會氧化。然而一旦氧化層生成，矽原子必須穿過氧化層才能與晶片表面的氧分子反應，或者氧分子必須穿過氧化層到矽表面才能與矽起反應。驅動這種反應的製程為前一節所討論的擴散。矽在二氧化矽中的擴散係數比氧在二氧化矽中少了幾個數量級，因此最後化學反應發生在矽／二氧化矽界面。這有一極大的效果：熱氧化產生的界面不與大氣接觸，因此相對的摻質較少。式 (2.28) 中的化學反應所消耗之矽的量大約是最後氧化層厚度的 44%。

室溫下，矽或氧分子的動能均不足以穿透自然氧化層，因此氧化反應會中止且氧化層厚度不超過 25 Å。若要反應持續進行，矽晶片必須在飽含氧氣的環境下加熱<sup>(7)</sup>。假設目前飽含物為氧，考慮圖 2.5 中成長氧化層之圖，圖中的四個氧濃度分別為： $C_g$ ：遠離晶片的氣流中氧的濃度， $C_s$ ：晶圓表面的氣體中氧的濃度， $C_o$ ：晶片表面二氧化矽中氧的濃度，及  $C_i$ ：矽／二氧化矽界面氧的濃度。定義  $J$  為氧的通量，亦即單位時間內，單位面積所通過的

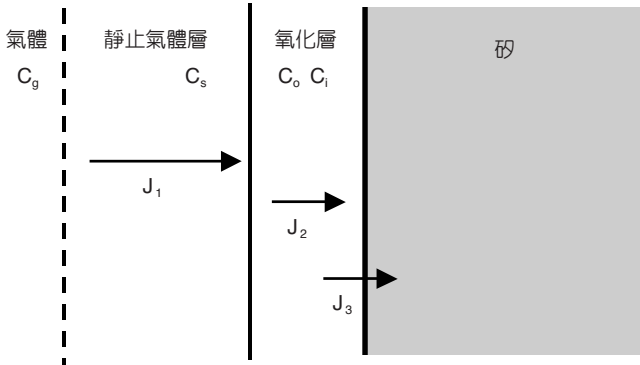


圖 2.5  
氧化反應進行時，氧氣流動的示意圖。

氧分子數。現在我們可以定義三個重要的氧通量。第一個氧通量從氣體本體向成長的氧化層表面流動。若氧氣流欲通過晶片表面，表面將存在一邊界層。一階近似下，氧分子不可能藉由氣體流動通過本區，而是以費克第一定律所描述的方式擴散：

$$J_1 \approx D_{O_2} \frac{C_g - C_s}{t_{s1}} \quad (2.29)$$

其中  $D_{O_2}$  為氧在二氧化矽中的擴散係數， $t_{s1}$  為靜止層厚度， $C_g$  可用理想氣體定律計算如下：

$$C_g = \frac{n}{V} = \frac{P_g}{kT} \quad (2.30)$$

其中  $k$  為波茲曼常數， $P_g$  為氧在爐管中的分壓。此公式雖然有用，但是通量通常會被低估。一般會明確地將通過所謂之靜止層的流動考慮進來，而寫成下式：

$$J_1 = J_{\text{gas}} = h_g (C_g - C_s) \quad (2.31)$$

其中  $h_g$  稱為質量傳輸係數。

第二個氧通量為氧分子通過成長之氧化層薄膜的擴散。用來驅動擴散之濃度梯度的產生是由於飽含的氣體如同氧分子源，而反應表面如同吸槽。假設在成長的氧化層中沒有氧分子源或吸槽，且氧分子濃度之變化是線性的，則

$$J_2 \approx D_{O_2} \frac{C_o - C_i}{t_{ox}} \quad (2.32)$$

其中  $t_{ox}$  為氧化層厚度。第三個氧通量為氧與矽反應以形成二氧化矽。此速率由化學反應力

學來決定。因為在反應表面有充足的矽，反應速率及通量正比於氧濃度：

$$J_3 \approx k_s C_i \quad (2.33)$$

其中比例常數  $k_s$  為式 (2.28) 中描述的整個反應的化學速率常數。平衡時這三個通量必然相等，亦即

$$J_1 = J_2 = J_3 \quad (2.34)$$

組合式 (2.31) 至 (2.33)，將留下兩個方程式及三個未知濃度： $C_s$ 、 $C_o$  及  $C_i$ ，因此還需另一方程式才能求得成長速率。此方程式為亨利定律 (Henry's law)：固體表面吸附物質的濃度正比於該物質在該固體上方之氣體中的分壓：

$$C_o = HP_s = HkTC_s \quad (2.35)$$

其中  $H$  為亨利氣體常數，且依理想氣體定律  $P_s = kTC_s$ 。現在有三個方程式及三個未知數，經過一些代數運算，可得

$$C_i = \frac{HP_g}{1 + \frac{k_s}{h} + \frac{k_s t_{ox}}{D}} \quad (2.36)$$

其中， $h = h_g/HkT$ 。最後，成長速率可由表面通量除以每單位二氧化矽體積的氧分子數  $N_1$  得到。對於分子氧的氧化， $N_1$  為氧原子在二氧化矽中之濃度 (亦即  $2.2 \times 10^{22} \text{ cm}^{-3}$ ) 之一半。結果為

$$R = \frac{J}{N_1} = \frac{dt_{ox}}{dt} = \frac{Hk_s P_g}{N_1 \left[ 1 + \frac{k_s}{h} + \frac{k_s t_{ox}}{D} \right]} \quad (2.37)$$

假設時刻零時之氧化層厚度為  $t_0$ 。此微分方程式之解為如下的型式：

$$t_{ox}^2 + At_{ox} = B(t + \tau) \quad (2.38)$$

其中

$$A = 2D \left( \frac{1}{k_s} + \frac{1}{h_g} \right), \quad B = \frac{2DHP_g}{N_1}, \quad \tau = \frac{t_0^2 + At_0}{B} \quad (2.39)$$

對於許多製程條件而言，參數  $A$  及  $B$  是已知的。 $A$  及  $B$  中更基本的參數如擴散係數等並不常被引用。此外，大部分的矽氧化是在大氣壓下進行的，因此  $k_s \ll h_g$ ，所以成長速率幾乎與氣相質量傳輸或反應器之幾何形狀無關。當氧分子來源是水 ( $H_2O$ ) 而非氧 ( $O_2$ ) 時，此時相同的方程式仍適用，只是擴散係數、質量傳輸特性、活性、氣體壓力及單位體積之分子數目不同。

因  $A$  及  $B$  均正比於擴散係數，因此兩參數將遵從亞倫尼斯 (Arrhenius) 函數。 $A$  及  $B$  的活化能可由式 (2.39) 所示的擴散係數及反應速率之活化能計算而得。氧及水在緩衝的矽化物中的擴散係數之活化能與  $B$  之活化能間有合理且良好的一致性 (約 10% 的差異)。此外，因  $B/A$  的比會消掉擴散係數，其活化能主要應與  $k_s$  相關。如同預期的， $B/A$  的活化能與矽—矽之間的鍵結強度有合理的一致性。

最後，因  $\tau$  常造成混淆，因此有必要指出其重要性。 $\tau$  是微分方程式在時刻零時根據邊界條件所產生的。當氧化層夠厚時，氧化速率隨著氧化層厚度而變。若氧化開始時的起始氧化層厚度為  $t_0$ ，那麼當計算所成長的氧化層厚度時，若僅僅加上  $t_0$  將是不正確的。正確的做法是利用起始厚度決定  $\tau$  值，將  $\tau$  加至  $t$  而得到全部的有效的氧化時間。亦即，若氧化製程從時刻  $-\tau$  開始，那麼時刻  $t = 0$  時的氧化層厚度為  $t_0$ 。

式 (2.38) 有兩種極端的情況。當氧化層極薄時，二次項可忽略，因此

$$t_{ox} \approx \frac{B}{A}(t + \tau) \quad (2.40)$$

另一方面，若氧化層夠厚，則線性項可忽略，因此

$$t_{ox}^2 \approx B(t + \tau) \quad (2.41)$$

因為這兩種極端的情況， $B/A$  稱為線性速率係數 (linear rate coefficient)， $B$  稱為拋物速率係數 (parabolic rate coefficient)。這兩個參數是描述氧化的基本參數。於純氧中氧化時，這些係數與溫度的關係總結於表 2.1 所列的典型製程條件中，此種製程稱為乾氧化 (dry oxidation)。

氧並非氧化製程中唯一可用的氧化物，另一常用的為氧及水的混合物，稱為濕氧化 (wet oxidation)，其氧化層成長速率遠快於乾氧化。成長速率較快的基本原因為水分子之擴散速率較氧分子大，且水分子之固體溶解率 (Henry's constant) 遠大於氧分子。缺點之一為濕氧化之氧化層較不緻密，因此濕氧化一般用來製作不會遭受大的電應力 (electrical stress)

表 2.1 矽的氧化係數。

溫度 (°C)	乾氧化			濕氧化 (640 Torr)	
	A ( $\mu\text{m}$ )	B ( $\mu\text{m}^2/\text{h}$ )	$\tau$ (h)	A ( $\mu\text{m}$ )	B ( $\mu\text{m}^2/\text{h}$ )
800	0.370	0.0011	9	—	—
920	0.235	0.0049	1.4	0.50	0.203
1000	0.165	0.0117	0.37	0.226	0.287
1100	0.090	0.027	0.076	0.11	0.510
1200	0.040	0.045	0.027	0.05	0.720

的厚氧化層。

熱氧化中另一種環繞的氣體組合為乾氧加上低濃度 (約百分之 1 到 3) 的鹵素，最常用的鹵素為氯<sup>(8)</sup>。使用這種混合物有幾種原因，大部分的重金屬原子會與氯反應而形成揮發性的 (氣態的) 金屬氯化物，一般相信，金屬污染物來自於受熱元素且被隔離在氧化反應爐管的周圍，這些摻質經由擴散通過鍋爐的牆而滲入成長中的氧化層。氯氣具有不斷清除周圍氣體中摻質的功用，實驗證實在一周圍含氯的環境中成長的氧化層不但摻質較少，且與下面的矽之間的界面較佳。在氧/氯混合氣體中的氧化速率高於在純氧中的氧化速率，若氧中含 3% 的氯化氫 (HCl)，則線性速率係數加倍<sup>(9)</sup>。

氧化層厚度為氧化製程的一個重要參數，因此有許多量測方法被發展出來。本節將描述數種估計氧化層厚度的方法，每一種均有其本質上的優點及缺點。大部分均對氧化層作了一些假設，因此只在某些條件下才適用。第一類的量測包含利用物理方式測量氧化層之厚度，因此必須於氧化層中形成一梯級 (step)，而這通常是採用一光罩製程加上蝕刻製程來達成。氫氟酸 (HF) 蝕刻氧化層的速率遠大於蝕刻矽的速率，因此若在晶片上產生一遮罩，再將晶片浸入氫氟酸中蝕刻，之後將遮罩去除，則將留下近乎等於氧化層厚度之梯級。此梯級若大於 1000 Å，則可用掃描式電子顯微鏡 (SEM) 量測，反之，則用穿透式電子顯微鏡 (TEM) 量測。較簡單的方法則是使用表面測厚儀，這些儀器利用探針接觸晶片表面，機械式地掃描晶片表面的形貌，探針的偏斜被量測、放大後，顯示為一位置的函數。製造商宣稱這些儀器的解析度可達 2 Å。此技術的好處是只需假設二氧化矽及矽之間具高的相對蝕刻速率。上述方法，因部分的氧化層必須被蝕刻掉，因此為破壞性的，通常需要一片專門為量測所用之晶片。

也有幾種光學技術可用來量測氧化層厚度。最簡單的方法為將沒有任何遮罩的晶片部分地浸入稀釋的氫氟酸中，直到晶片之浸入部分的氧化層完全被去除。在被蝕刻及未被蝕刻的氧化層交界附近可發現氧化層厚度的緩慢變化。若利用顯微鏡來觀測此邊緣，可看到從淡棕色開始的數種顏色 (表 2.2)。這些顏色是由於入射光及反射光之間的干涉所造成，根據氧化層由下一直到上的顏色變化即可估計出其厚度。另外也有所謂的橢圓偏光儀量測法及干涉量測法，有興趣之讀者可參閱一般討論半導體製程的書籍。

表 2.2 熱成長的二氧化矽 (折射率 1.48) 及氮化矽 (折射率 1.97) 的顏色表。

顏色	二氧化矽之厚度 (Å)	氮化矽之厚度 (Å)
銀色	< 270	< 200
棕色	< 530	< 400
黃—棕色	< 730	< 550
紅色	< 970	< 730
深藍色	< 1000	< 770
藍色	< 1200	< 930
淡藍色	< 1300	< 1000
極淡藍色	< 1500	< 1100
銀色	< 1600	< 1200
淡黃色	< 1700	< 1300
黃色	< 2000	< 1500
橘紅色	< 2400	< 1800
紅色	< 2500	< 1900
深紅色	< 2800	< 2100
藍色	< 3100	< 2300
藍綠色	< 3300	< 2500
淡綠色	< 3700	< 2800
橘黃色	< 4000	< 3000
紅色	< 4400	< 3300

### 2.1.3 離子佈植

2.1.1 節中描述了利用預置擴散引入摻質。在此製程中，摻質從晶片表面之無窮源 (infinite source) 擴散進入半導體中。表面濃度為固體溶解率所限制，而擴散分布圖之深度由擴散時間及摻質之擴散係數決定。理論上，如果晶片表面之摻雜的供應適度地受到限制，則一較輕度摻雜之分布圖可以達成。例如，在一鈍氣載子氣體中之極稀薄的摻質混合，能減少表面濃度。此製程被使用在早期之微電子技術中，然而其非常難控制，同時亦發現輕摻雜之分布圖通常是難度最高的。雙載子電晶體之基極及 MOSFET 之通道為兩個必須嚴格地控制摻雜的例子，因它們分別決定增益及起始電壓。

在離子佈植中，游離的摻質原子經由一靜電場加速而轟擊入晶片之表面。可以經由量測離子流，而嚴格地控制摻雜量，包括從極低植入之  $10^{11} \text{ cm}^{-2}$  到如源/汲極接點、射極及集極之低電阻區的  $10^{16} \text{ cm}^{-2}$  製程範圍內的摻雜量。某些特殊的應用需要摻雜量大於  $10^{18} \text{ cm}^{-2}$ 。經由控制靜電場，摻雜離子之穿透深度亦能被控制。因此，於某些範圍內，離子佈植有能力在基板上產生期望之摻質分布圖。典型的離子能量範圍從 5 keV 至 200 keV。某些特殊之結構，例如倒退井 (retrograde well) 之深結構的形成，需高達數 MeV 的能量。

經過了 1960 年代許多的研究後，第一台商業化的離子佈植機於 1973 年問世。雖然剛開始時接受度並不高，但很快地這種摻質引入的新方法就變得深受歡迎。到了 1980 年代，大部分的製程已完全採用離子佈植了。雖然目前已廣泛地被採用，離子佈植仍有一些缺點。入射離子會損毀半導體之晶格，此項損毀必須被修復，然而在某些情形下，完全地修復是不可能的。極淺及極深之分布圖的產生相當困難或不可能。離子佈植機之產出受限於高摻雜量之植入，特別當與同時可執行 200 片晶片之擴散製程相比時則更明顯。最後，離子佈植設備非常昂貴，目前頂級的系統約 200 萬美元。

本節所描述之製程為在晶片上全面性且均勻地植入摻質。若要在晶片上選擇性地摻雜某些區域，則必須有一植入遮罩。有許多標準的離子佈植之變化是將離子束聚焦在一個小點上，利用此小點，提供區域化的製程能力，這些製程稱為離子束技術 (ion beam technique)。這些離子可供直接利用，以提供元件之摻雜分布圖的側向變化。此方法因為太慢且太貴，因此無法廣泛地用於製造中。然而，離子束可用來修補光罩之缺陷，以及選擇性地移除某些層，有利於診斷工作之進行。

如圖 2.6，佈植系統可以區分成三部分：離子源、加速管及終站<sup>(10)</sup>。離子源從一包含所需植入物之饋氣 (feed gas) 開始。在矽技術中常用的饋氣為  $\text{BF}_3$ 、 $\text{AsH}_3$  及  $\text{PH}_3$ ；砷化鎵技術中常用的饋氣則為  $\text{SiH}_4$  及  $\text{H}_2$ 。大部分設定為氣態源的佈植機，藉由打開適當的閥，可選擇數種氣體中的任一種，氣體流量可用一可變的孔來控制。如果所需的植入物非氣體的型式，則可加熱固態源，並以釋放出來的蒸氣作為氣態源。材料在烤爐中加熱，而其蒸氣會流過燈絲。早期的氣態源設備，烤爐以一簡單的氣體饋線取代。在高壓時，電子流通常足以維持一輝光放電。

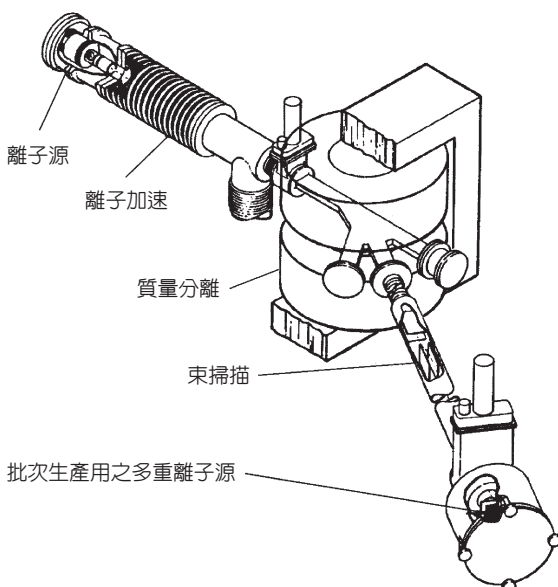


圖 2.6  
離子佈植機之示意圖。

氣體會流入弧光反應室中。此反應室有兩個功能：將饋入的氣體分解成各種的原子及分子，以及將這些原子及分子的一部分游離。在最簡單的此種系統中，饋入的氣體流經孔洞，進入低壓源反應室，在此反應室，氣體會流過熱燈絲及金屬平板之間。燈絲相對於平板是保持在較大的負電位。電子會加熱燈絲並朝平板方向加速，因此會與饋入之氣體分子碰撞，而轉移其一部分的能量。若轉移之能量夠大，則分子之分解可能發生。例如， $\text{BF}_3$  可能被分解成  $\text{B}$ 、 $\text{B}^+$ 、 $\text{BF}_2$ 、 $\text{BF}_2^+$ 、 $\text{F}^+$ ，以及許多其他的物種。亦可能產生負離子，但其量相對上較少。為了增進游離之效率，通常會在電子流之區域加入磁場。這會使得電子之路徑變為環狀，而大幅度地增加游離之機率。正離子被吸引至負電位較燈絲為高之源反應器的出口端，之後，正離子經由長縫而離開源反應器。最終的離子束通常是幾毫米乘一至二公分。源極此部分之氣壓通常在  $10^{-5}$  至  $10^{-7}$  Torr 之間，因而可在燈絲及陽極之間產生穩定的弧光。最大的離子流通常是幾個毫安培。

目前此束尚由許多的物種所組成，大部分是游離的。下一個工作則是選擇所要的植入物種。在之前的例子中，也許我們只想從離子束中選擇  $\text{B}^+$ ，並希望阻止其他物種繼續在佈植機中往下進行。這通常以如圖 2.7 所示之質譜儀來達成，此束進入一維持在低壓的大反應室中，反應室中存在一與離子束之速度垂直的磁場。由簡單的靜電學知：

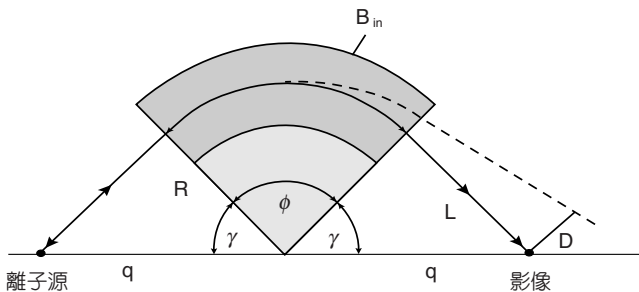


圖 2.7

顯示垂直磁場及離子軌跡之一離子佈植機之質量分離級。 $D$  相當於質量為  $M + \delta M$  的離子之位移。

$$\frac{Mv^2}{r} = qvB \quad (2.42)$$

其中  $v$  為離子速度之大小、 $q$  為離子之電量、 $M$  為離子質量、 $B$  為磁場強度、 $r$  為曲率半徑。若此離子遵守古典力學

$$v = \sqrt{\frac{2E}{M}} = \sqrt{\frac{2qV_{\text{ext}}}{M}} \quad (2.43)$$



其中  $V_{\text{ext}}$  為汲取電位。式 (2.43) 之推導忽略了離子因為與離子源中之電子碰撞而傳給該電子之能量。由於此效應所造成之離子能量的散布約 10 eV，而汲取電位之大小所對應的能量通常較此值大 3 個數量級，因此式 (2.43) 可作為真實能量之一良好的近似。

在質量分析反應室中可以做另一縫隙，使得僅有一種質量 (或精確地說，一種荷質比) 的離子具此精確而正確的曲率半徑可以離開離子源。此系統解析度之主要限制是來自離子本身小的發散，而發散主要是由於有限之縫隙尺寸及離子能量微小的變化。然而，此系統能夠快速地區分出硼的同位素  $B_{11}$  及  $B_{10}$ 。

將式 (2.42) 及 (2.43) 組合，可得

$$r = \frac{Mv}{qB} = \frac{1}{B} \sqrt{2 \frac{M}{q} V_{\text{ext}}} \quad (2.44)$$

通常，各處之解析場均垂直於離子運動方向，且入口及出口是對稱的。現在假設磁場已被調整至可使得質量為  $M$  的離子其運動軌跡為半徑  $R$  之圓，若一質量為  $M + \delta M$  的離子進入過濾器，離子束將位移一距離  $D^{(1)}$ ：

$$D = \frac{1}{2R} \frac{\delta M}{M} \left[ 1 - \cos \phi + \frac{L}{R} \sin \phi \right] \quad (2.45)$$

當  $D$  之值大於離子束之寬度加上出口縫隙之寬度的和時，稱兩質量為可解析的。最佳解析情況發生於當  $R$  大且  $M$  小時 (由於離子束之散射，只要  $L$  之值約大於 1 公尺，則  $L$  之效應可忽略，此簡單的分析將適用)。大部分用於 IC 製造之質量過濾器，其過濾器半徑不大於 1 公尺。

離子之加速可在質量分析之前或之後進行，加速可減少離子在到達晶片表面前失去其電荷的可能性，但需要較大的磁鐵。下面的討論均基於質譜分析乃在加速之前。反應管通常為數米長，且必須保持在相對高真空下 ( $< 10^{-6}$  Torr)，為了避免加速期間的碰撞，這是必須的。首先，利用一組靜電透鏡將離子束聚焦成一點或一線，之後進入線性之靜電加速器，此加速器由一組與一電壓分壓器網路相連接的環所組成。調整供應之功率，可驅使分壓器網路調整離子之能量。

這裡所說的束，主要是由離子組成。某些中性原子或許會重複出現，通常這些中性原子由離子與熱電子組合而成：



它們亦可能是離子束中的離子與其他離子碰撞而產生之電荷交換。因中性原子在靜電掃描機制中不會被偏移，所以是我們所不想要的。中性原子束將連續地植入晶片的中心附近，為了避免此問題，大部分的離子植入系統均有轉彎的配備。此束通過靜電偏移系統的平行板之間，中性原子因為不受偏移，所以不會跟著轉彎，而會撞上終止板。

散射現象可用來討論當來自離子佈植機的高能離子到達晶片表面時所發生的情況。接下來將定性地討論數種已被發展出來描述此過程的模型，且將指出在現代元件中離子佈植所遭遇的困難。當一高能離子進入一固體，將開始失去能量。如圖 2.8 所示，離子在半導體中所旅行之距離稱為其範圍 (range)。能量損耗與撞擊參數有關。因離子正進入一固體中，束中之離子的撞擊參數將在某一範圍中。因此，一個好的近似是將能量損耗機制特性視為是機率性的。一給定之離子通量將對應一分布範圍。對於一均勻的離子束，令人感興趣之量是平均深度而非總旅行距離，此量即投射範圍 (projected range,  $R_p$ )。靶材料之能量損耗為兩個機制之結果<sup>(12)</sup>。第一為離子—電子之交互作用，這與材料之價電子及核心電子均有關係。因為晶體中極大部分的空間是由來自原子之電子雲所組成，因此將有許多此種交互作用發生。即使當電子不在離子之路徑上時，能量亦可能經由庫侖交互作用而轉移。在一典型的半導體之佈植中，將發生不計其數的此種交互作用。再者，離子與電子之質量比約為  $10^5$ ，因此，任何單一電子與離子之交互作用將不致於劇烈地改變入射離子之動量。

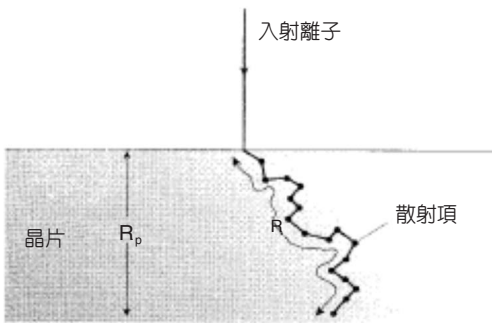


圖 2.8

離子在固體中的總旅行距離稱為範圍  $R$ 。此距離在深度軸上的投影稱為投射範圍  $R_p$ 。

對單晶材料進行離子佈植時，可能會產生另一問題。亦即，當離子之速度平行於主要的晶格指向時可能會發生通道化現象。如圖 2.9，在此情況下，由於原子核之阻滯不夠有效以及通道之電子密度低的緣故，某些離子耗損少許能量即能移動相當長的距離。離子一旦進入一通道，將會在該方向繼續前進，會產生許多斜向而近乎彈性的內部碰撞，直至靜止或偏離通道。晶體缺陷或摻質均可能造成後者之結果。如圖 2.9，通道化可用一臨界角  $\psi$  來特性化， $\psi$  即為離子行進方向與通道的夾角：

$$\psi = 9.73^\circ \sqrt{\frac{Z_i Z_t}{E_0 d}} \quad (2.47)$$

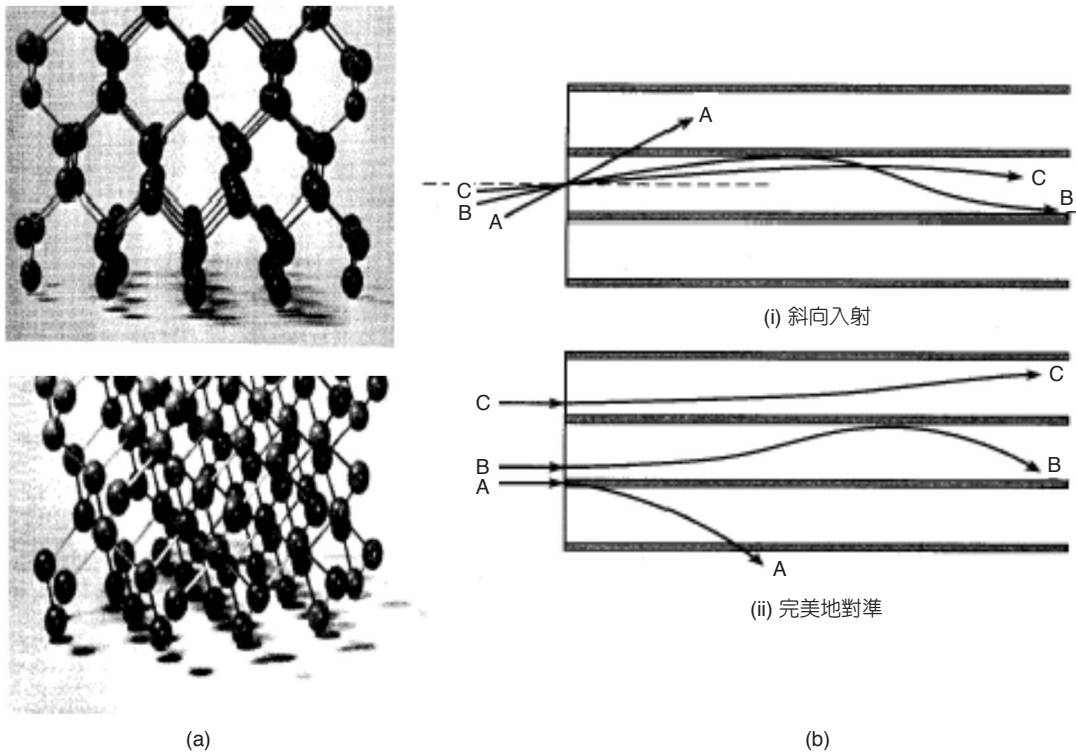


圖 2.9 (a) 沿著一主要的晶格方向  $\langle 110 \rangle$  及沿著一隨意方向之鑽石結構圖。(b) 通道化之示意圖。

其中  $E_0$  為以 keV 為單位之入射能量， $d$  為沿著離子方向、以  $\text{\AA}$  為單位之原子間距， $Z_i$  為離子的原子序， $Z_t$  為晶片材料的原子序。若離子之速度向量遠離某一主要晶格指向之角度遠大於  $\psi$ ，則發生通道化之機率將極低<sup>(13)</sup>。通道之方向並不需要非常接近初始之離子速度的方向。靶內之一散射項可能會改變入射離子之方向，使其沿著晶格指向，但這發生的機率不高，所以此效應不可能造成植入分布圖之峰值附近的形變。

通道化會使得植入分布圖產生一顯著的尾部。當對準通道植入輕原子至一重原子的矩陣時，因離子之原子半徑遠小於晶體晶格之間距，所以此效應特別顯著。為了避免植入分布圖之尾部的形成，大部分積體電路之植入是偏離通道方向的，典型之偏離角度為  $7^\circ$ 。為了減少偶發而與晶格平面之指向平行的機率，亦常使用偏離角度  $30^\circ$ <sup>(14)</sup>。但仍然會有某些離子因散射而沿著晶格之軸向移動，使得通道效應 (channeling effect) 發生。另一最小化通道效應的方法為在植入之前毀損晶格。在摻雜植入之前可用高摻雜的矽、氟及氬對矽作預非結晶化處理。亦有文獻報導，在晶體表面覆蓋一薄的遮蔽氧化層，則離子植入時，離子之速度將被雜散化，因此當離子進入晶體時，通道化之效應可降低。然而，由於反彈或撞擊效應，這將有我們所不欲見到之植入氧的缺點。

當高能量的離子進入晶片時，能量轉移的一部分為其與晶格原子核之碰撞。在此過程中，許多原子從晶格位置中被打出來。某些被移動的基板原子具有足夠的能量，與其他的基板原子碰撞後可使其他基板原子產生位移。因此，植入過程將造成可觀之基板毀損，隨後之製程必須能將其修補回來。再者，若植入之物種欲作為摻雜之用，則其必須佔據晶格位置。將大部分的植入摻質移動至晶格位置之過程稱為摻質活化，晶片在植入之後通常會進行加熱(回火)，以達到毀損修補及植入活化之目的。通常回火可同時完成這兩件事，因此這兩件事可同時處理。圖 2.10 顯示以 70 keV 的能量植入每平方公分  $10^{15}$  個硼原子後，於各種植入後回火溫度之下，矽基板內的摻質分布之改變情形。

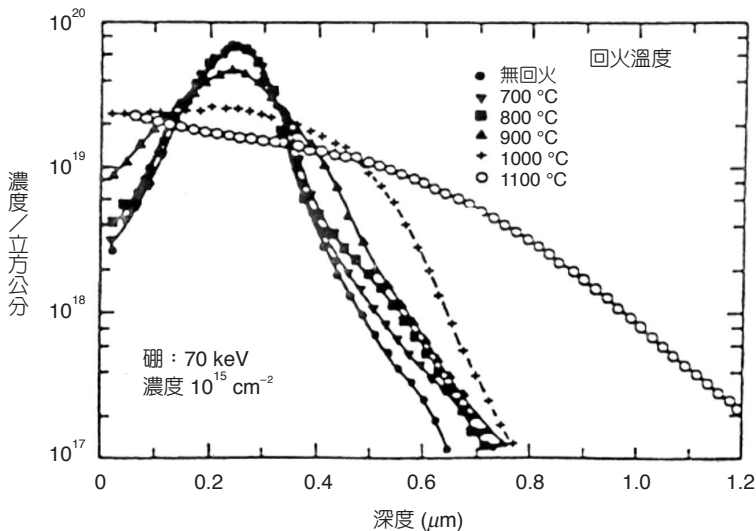


圖 2.10  
摻質經植入後，於各種植入後回火溫度之下，矽基板內的摻質分布改變情形。

因為經由原子核能量轉換之每次碰撞的能量損失通常遠大於晶格中原子之束縛能，因此當其植入時，將造成晶體的毀損。當摻雜量超過某臨界量  $\Phi_{th}$  時，稱其毀損是完全的。也就是說，經此植入之後，大範圍之規律性已不復存在，基板之表面已成為非結晶形的。此臨界摻雜量與植入能量、植入物種、靶材料及植入期間之基板溫度有關。在高溫時，基板會自行回火，因此臨界摻雜量將變得極大。輕離子因大部分的能量損失是電子造成的，因此其臨界摻雜量亦較重離子為大。

當一離子經過晶體時，直接交互作用或與彈回之靶原子的碰撞，會產生晶隙原子及空洞等點缺陷。植入過程所創造的缺陷稱為主要缺陷 (primary defects)。當一植入之晶片進行回火後，將產生二次缺陷。晶體中之點缺陷具有高能量，可經由復合或凝聚成較大的缺陷而使其能量減小。通常這些缺陷會形成小的點缺陷團，如雙空洞，或凝聚成差排環般的較高維缺陷。對於矽中植入硼的情況，似乎當植入所產生之矽的晶隙濃度不小於  $2 \times 10^{16} \text{ cm}^{-2}$  時，二次缺陷才會產生。質量與矽相差不多的離子，如磷或矽，具較大的臨界晶隙濃度，

通常約  $5 \times 10^{16} \text{ cm}^{-2}$ 。

曾有文獻指出，植入如硼般的輕原子會形成孤立的缺陷，而較重的離子會形成較大的缺陷。中等質量之離子所創造的晶隙原子，會被束縛在這些缺陷團中，很少可以自由地凝聚成較大的擴展缺陷。Schreutelkamp 等人曾證明除了以百萬電子伏特的能量植入外，原子序大於 69 的重離子不會形成二次缺陷。即使如此，重離子如砷，其臨界晶隙濃度大於  $10^{17} \text{ cm}^{-2}$ 。因此，重離子傾向於在二次毀損產生之前非結晶化基板。

最小化二次缺陷之回火製程，其技術受到相當的矚目。在這些應用中，為了確保所有的摻質被活化及只剩少數殘餘的擴展缺陷，必須要使用高溫。對於固定的回火時間，等時回火曲線顯示歸一化至摻雜量的活化載子濃度對回火溫度之函數，典型的時間為 30 或 60 分鐘。除非另有敘述，否則回火過程均在氮的環境下進行。低溫時之載子濃度主要決取於點缺陷。當回火溫度增加時，由某些空洞捕捉附近的晶隙原子開始修復點缺陷，這將減少基板之淨捕捉濃度，增加自由載子之濃度。在 500 至 600 °C 之間，缺陷之擴散係數已大到可凝聚及形成擴展缺陷。在較高的硼含量時，因毀損較大，故此現象特別顯著。最後，在高溫時，這些擴展缺陷會因回火作用而消失，使得活化之載子濃度接近植入之摻雜量。這需要 850 °C 至超過 1000 °C 的溫度，且高摻雜量的植入需要較高的回火溫度。

不管是由於植入本身或者是由於預非結晶化步驟，使得基板變成非結晶化，晶體皆可利用固相磊晶 (solid phase epitaxy, SPE) 來修補。理論上，晶體之再生是利用其下方之未毀損的基板為模板。如此處理之後，大部分的摻質會以與被移位之基板材料近乎相同的立足點來併入再生之晶格中。在討論這些非結晶層之回火行為時，首先必須知道非結晶層並不會擴展至表面。很明顯地，表面附近之毀損程度遠小於深入基板處之毀損。藉由使用高能植入，使得埋入非晶矽層變為可能。缺陷在到達表面之前必須穿過晶體區，因此極有可能被消滅。再者，SPE 再生長的前端會從非結晶區的兩邊開始。這些前端相會的平面會包含缺陷，使得元件之性能變差。

一般而言，非結晶層的回火過程包含對此層進行 SPE 再生長。此再生長可在溫度低至 600 °C 之環境下進行，因為對  $\langle 100 \rangle$  方向而言，矽於此溫度之再生長速度大於 300 Å/min，對於  $\langle 111 \rangle$  方向，再生長速度則小約 10 倍 (對於高摻雜之植入，SPE 之速率與植入之物種有關)。因此，在 600 °C 下回火 30 分鐘可使材料再生長約一微米，此深度已遠大於任一合理之植入的非結晶深度。由於 SPE 的處理，摻質之活化在較低之溫度下發生。

非結晶層之 SPE 的再生長最令人擔心的是殘餘的缺陷。這些層不僅包括如差排環之簡單的一維缺陷，也包括了如雙晶及堆疊錯誤之二維及三維的缺陷。這些缺陷可能源自於稍微偏離其原來位置或者在 SPE 期間變成偏移的單晶材料之微島 (microisland)，這些島同時可作為再生之成核中心。當這些不同的成長前端相會時，缺陷將形成。為了減少缺陷之濃度至可接受的程度，通常需要 1000 °C 左右之高溫回火。然而，即使進行了這些高溫回火，也許仍不足以移除所有的毀損。為了避免高溫回火期間有太多的擴散，通常會先以低溫的 SPE 步驟來降低點缺陷之濃度。

### 2.1.4 快速熱製程

對於小元件而言，因擴散或熱氧化之高溫製程所造成摻質之重新分布通常是極不想要的，因此近幾年來有許多的研究是探討使擴散最小化之低溫製程。然而，某些製程如植入之回火，在低溫時是不太有效的，某些型式之植入毀損只有高溫回火才能修補。再者，某些摻質需要至少 1000 °C 的回火溫度才能完全活化。另一減少擴散之方法為降低回火之時間。標準的鍋爐回火不適合進行短時間回火，在此系統之晶片從邊緣向內傳熱，為了避免過剩之溫度梯度造成晶片彎曲，晶片必須極緩慢地加熱及冷卻<sup>(15)</sup>。因此，即使回火之時間可縮至極短，但是長的升溫時間仍能導致極大之擴散。同時，一次操作一片晶片而非大批晶片之製程目前愈來愈流行，這些單一晶片製程使得均勻度及再現性極佳，對於大尺寸之晶片更是明顯。快速熱製程 (rapid thermal process, RTP) 泛指利用減少反應之時間 (除了取代減少溫度外)，以發展最小化製程熱預算的單一晶片熱製程。

RTP 起初是發展來做植入回火之用，雖然此應用仍相當常見，但快速熱製程如今已廣泛地應用至氧化、化學氣相沉積 (chemical vapor deposition, CVD) 及磊晶成長。對所有的熱製程而言有一組共同的核心問題：均勻地加熱並冷卻晶片、製程期間能夠保持均勻的溫度，以及量測晶片之溫度。本節後面將描述這些問題的特性，以及快速熱系統所用來解決這些問題的方法。

以移除熱的型式來分類，快速之熱製程可廣泛地分為三類：絕熱 (adiabatic)、熱通量及等溫<sup>(16)</sup>。最早的 RTP 是利用絕熱之熱源，在此方式中，只要脈衝之長度相對於基板之熱時間常數夠短，則在寬束中之快速光脈衝僅會加熱晶片之表面 (約幾微米深)。絕熱系統通常以如準分子雷射 (excimer laser) 的寬束同步源提供能量。

雖然此種回火系統可提供最短之回火時間，但卻有幾個大缺點，包括溫度控制不佳、回火時間控制不佳、大的垂直溫度梯度及主要設備花費高。熱通量系統利用如電子束或聚焦雷射等強的點源來掃描晶片。與熱時間常數相比，掃描之時間必須夠短，否則將導致大的橫向熱梯度。雖然此種系統已用於研究中，但由於橫向之熱不均勻所引起的缺陷，通常大到使其不適用於 IC 製造。等溫加熱則是利用輻射之寬束對晶片加熱許多秒。這些系統在晶片之橫向及縱向上也許有最小之溫度梯度，其能量通常是來自於如一排鎢一鹵素燈之非同步源。於等溫系統中，晶片是放置於石英夾上，選擇石英是由於其化學穩定度佳及熱導係數低，此種配置有時稱為熱絕緣 (thermal isolation)。本節將專注於介紹等溫之 RTP 系統，因為幾乎目前所有的量產型系統均使用此種設計。

對於半導體製程而言，有四種熱轉換是較重要的，亦即傳導、對流、驅動流及輻射。熱傳導是熱經由固體或氣體而擴散。經過固體、不可動之氣體或液體的橫截面積  $A$  之熱流  $\dot{q}$  可表示為

$$\dot{q}(T) = k_{th}(T)A\nabla T \quad (2.48)$$

其中  $k_{th}$  為材料之熱導係數。將式 (2.48) 的兩邊均除以面積，則可得熱轉換之費克第一定律。因為在快速熱製程中，大部分的光能為晶片上方前幾微米的厚度所吸收，因此晶片內之熱傳導對於最後之溫度分布扮演了重要的角色。然而，當考慮氣體中之熱傳導時，必須同時考慮能夠改變熱轉換速率之氣流。若此氣流之流動是由於外部供應之壓力梯度所引起，則稱其為驅動流，實際例子包括了氣體注入或抽出所引起的流動。封閉系統內之溫度梯度所對應的流動則稱為自然流 (natural flows)；受熱的壺內之水的流動即為自然流。有效之熱轉換可定義為

$$q = h(T - T_{\infty}) \quad (2.49)$$

其中  $T_{\infty}$  為離晶片極遠處之氣體溫度， $h$  為與自然流及驅動流兩者均有關的有效熱轉換係數。對於大部分的幾何構形而言， $h$  為晶片中溫度及位置的函數。

氣流可傳送之功率是相當有限的，因此大部分之快速熱系統利用輻射熱轉換作為熱交換的主要方法。輻射熱轉換的一個基本參數是離開之輻射頻譜 (spectral radiant exitance)  $M_{\lambda}(\lambda, T)$ ，其意義為發出輻射之物體，其每單位表面積、每單位輻射波長向完美之吸收環境 (黑盒子) 輻射出的功率。根據普朗克 (Planck) 輻射定律，離開之輻射頻譜可表示為

$$M_{\lambda}T = \varepsilon(\lambda) \frac{c_1}{\lambda^5 (e^{c_2/\lambda T} - 1)} \quad (2.50)$$

其中  $\varepsilon(\lambda)$  為放射物體與波長有關之放射係數， $c_1$  及  $c_2$  為第一及第二輻射常數，其值分別為  $3.7142 \times 10^{-16} \text{ W} \cdot \text{m}^2$  及  $1.4388 \times 10^{-2} \text{ m} \cdot \text{K}$ 。當  $\varepsilon = 1$  時，我們稱放射源為黑體 (black body)。

將  $M_{\lambda}(\lambda, T)$  對所有的波長 (0 到  $\infty$ ) 積分，且假設放射係數與波長無關，則結果為總放射量  $M(T)$ ，其形式為如下之史蒂芬一波茲曼方程式 (Stefan-Boltzmann equation)：

$$M(T) = \varepsilon \sigma T^4 \quad (2.51)$$

其中  $\sigma$  為史蒂芬一波茲曼常數： $5.6697 \times 10^{-8} \text{ W/m}^2 \cdot \text{K}^4$ 。比較式 (2.49) 及式 (2.51)。物體輻射出之功率量正比於溫度的四次方，而熱傳導所傳送之功率正比於物體及背景之間的溫度差，因此輻射為高溫時主要的熱轉移機制，而熱傳導則在低溫時較重要。因大部分之快速熱系統操作於高溫區，所以輻射交換為主要之交換機制。

將式 (2.50) 微分，且設其結果等於零，則可定義  $\lambda_{max}$  為最大放射功率時的波長：

$$\lambda_{max} = \frac{0.2898}{T} \quad (\text{單位：cm}) \quad (2.52)$$

可以利用此關係式，將放射物體之顏色轉換成對應的溫度。因為直接測量溫度並不容易，所以許多燈以此種方式(顏色)定溫度。

如圖 2.11，考慮當類似反射鏡的第三個表面加入時發生之情況。首先可考慮三個成對的交互作用，但那只包括受熱之表面所輻射出的功率，特別是反射鏡可用水冷卻，使得表面之溫度保持於低溫。因反射鏡會增加晶片和燈之間的有效外觀因子，因此可能會傳送大量的功率。反射鏡同時亦使得晶片可對自己輻射。若將所有可能的輻射考慮進來，則成對法之複雜度將大增。另外一個方法是，可利用矩陣法同時處理所有的表面，包括反射<sup>(17)</sup>。

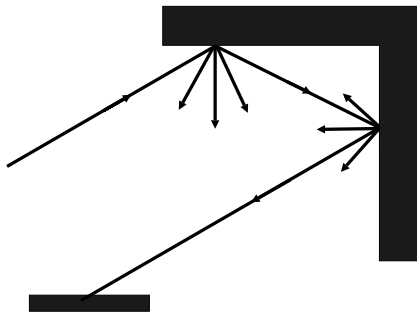


圖 2.11

僅包含單一反射時，三個表面之間可能的光學路徑。此圖假設反射是漫射的。

前面介紹過離子佈植，由於目前的離子佈植技術有能力製作出控制良好的摻質摻雜量，且其濃度事實上可超過該摻質之固體溶解度，使得此技術廣為全世界所接受。隨著元件尺寸的縮小，濃度梯度會增加，且最大允許之摻質的再分布會降低。這些晶片中的植入毀損仍然必須靠回火來移除，回火溫度視植入物種之能量及摻雜量而定，所需之溫度也許高達  $1100\text{ }^{\circ}\text{C}$ <sup>(18)</sup>。發展快速熱製程之基本理由為利用快速地進入及離開目標高溫區，可減少製程時間，且可使熱預算最小化。隨著溫度之增加，缺陷團回火所需之時間降低，因此有可能於  $1000\text{ }^{\circ}\text{C}$  下只需回火數微秒<sup>(19)</sup>。

RTP 最吸引人的特性之一為晶片也許無法達到熱平衡，這意謂著電性上活躍的摻質之分布圖，其濃度實際上可能超過固體之溶解度。特別是砷，實驗發現，其僅需極短之回火時間，即可達到高度的活化<sup>(20)</sup>。如果回火數毫秒的話，砷可被活化至約  $3 \times 10^{21}\text{ cm}^{-3}$ ，此濃度約為其固體溶解度之 10 倍。砷原子沒有足夠的時間可形成團，並凝結成非活躍的缺陷。然而，如果此活化不太完全，剩餘之砷原子會貢獻一深能階。這些能階如果太靠近  $p-n$  界面，則會成為有效的產生/復合中心，而導致漏電流。

一般觀測到的結果是，對於植入之物質做低溫及降低溫度的回火，所產生之化學界面會比簡單之擴散理論所預測的還深<sup>(21)</sup>。曾有文獻報導，硼於矽中之擴散係數的增進，較簡單之擴散理論所預測的大 3 個數量級，此擴散係數增進的原因為殘留之植入毀損。一般相信，於離子佈植之後，晶片上會有高濃度的空洞及自我晶隙原子，此效應有時稱為暫態效應 (transient effects) 或暫態增強擴散 (transient enhanced diffusion)。已有實驗證實，對於低摻



雜量的植入，其界面深度之增加正比於植入能量之平方根。爐管回火製程通常會在加熱至活化溫度之前，經由溫度介於 500 至 650 °C 之間的額外處理，以消滅剩餘的點缺陷。基於相同的理由，RTP 回火也許亦需包括一簡單的低溫步驟。矽中最常見之三種摻質，其暫態增強擴散的活化能示於表 2.3 中。雖然砷於擴散期間的暫態效應一開始仍有些爭論，但目前一般而言，均同意其具有暫態效應，只是遠較硼不顯著罷了。這些暫態效應會隨著某一與基板中缺陷湮滅之速率有關的特徵時間常數而衰退。

表 2.3 矽中之穩定態本質擴散及暫態擴散的活化能。所有的能量之單位為電子伏特 (eV)<sup>(22)</sup>。

	穩定態擴散之活化能	暫態擴散之活化能
硼	3.5	1.8
砷	3.4	1.8
磷	3.6	2.2

實驗證實，對於硼及  $\text{BF}_2$  而言，並非所有的摻質均可於 RTP 中活化。由於非晶型之程度增加， $\text{BF}_2$  之峰值濃度於低溫時活化得較完全。爐管回火總是能活化低濃度的植入尾部 (implant tails)，但是由於如固體溶解率等熱力學上的考量，濃度峰值附近的區域也許無法完全地被活化。然而，有文獻提及於 RTP 回火之後，低濃度的硼尾部也許無法被完全活化，使得最後之電界面比化學界面還淺<sup>(23)</sup>。圖 2.12 顯示硼及  $\text{BF}_2$  植入，經歷了 1000 °C、30 秒的回火之後，其化學分布圖 (實線) 及電性之主動分布圖 (實心黑點) 之間的差異。其中，濃度峰值及尾部均未完全被活化。這些非活化的摻質一般相信是由於形成了非活化之硼的晶隙原子對。圖 2.12 亦顯示硼之分布圖的尾部擴散比峰值區還要快。實驗發現，於峰值區植入會導致差排及其他的擴展缺陷。於  $X > R_p + 1.5 \Delta R_p$  或  $X < R_p - 0.4 \Delta R_p$ ，點缺陷之密度高，因此會導致暫態之增強擴散。

砷化鎵的植入活化，通常會在活化前先沉積一覆蓋層，例如氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或氮氧化矽 ( $\text{SiO}_x\text{N}_y$ )，以防止砷從晶片中擴散出來<sup>(24)</sup>。氮化矽層可保護砷化鎵至約 900 °C，而二氧化矽層約於 850 °C 前有效。此覆蓋層常是以電漿輔助化學氣相沉積法來沉積。若植入物質為矽，晶片首先會在約 650 °C 回火 60 秒，以降低點缺陷密度。活化砷化鎵中的 *n* 型摻質矽需要 800 至 1000 °C 的高溫，因此覆蓋層可能會難以去除，且由於熱膨脹的不匹配，可能會導致晶片中原子層的滑動。亦有實驗證實砷化鎵之植入活化可利用一特殊設計的石墨接受器，於無覆蓋層的情況下進行。此晶片會被送入一個比典型之晶片厚度厚二至三倍的石墨腔內。實驗結果證實，與標準的有覆蓋層的 RTA (rapid thermal annealing) 相比，此種回火方式可得到較佳的表面品質及較少的粒子數。亦可於砷化鎵晶片上沉積另一砷化鎵層，再將其作 RTP 的回火。必須留意的是，於沉積砷化鎵層之前必須先確定晶片上方之表面氧化層

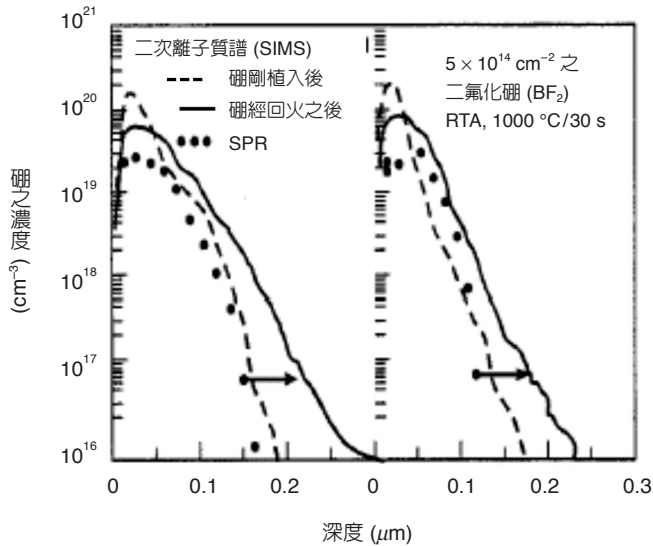


圖 2.12

於不完全的 RTP 活化之後，化學及活化的硼之分布圖。

已被移除。

深次微米元件所需之矽的氧化層極薄，成長這些氧化層的技術之一為降低氧化溫度以減緩氧化速率。此方法的缺點之一為隨著成長溫度的降低，固定電荷及界面態密度有增加的趨勢，因此可於適當的高溫下作短時間之氧化的快速熱氧化法 (rapid thermal oxidation, RTO) 似乎為一極具魅力的取代方法。此方法目前也的確已成為 RTP 的一應用領域。另一個方法為加入氬或其他的情性氣體，稀釋氧氣，以降低氧化速率。雖然利用此方法可成長高品質的氧化層，但是基板中摻質之擴散仍然令人擔心。

實際上所有的 RTO 是在乾氧下進行的。早期的結果顯示氧化層的厚度隨著時間線性增加，於 1150 °C 之氧化速率約為 3 Å/s<sup>(25)</sup>。這些氧化層在電性上的崩潰特性相當好。快速熱氧化之均勻性會受晶片上溫度不均勻所產生的熱塑應力影響。由於晶片邊緣之應力最大，因此可導致晶片邊緣成長速率的增加。對於低溫及短時間之氧化，此效應最為顯著。

曾有許多的文獻發表過關於矽於 RTP 期間的氧化速率。基於以下的數種原因，使得 RTO 期間之氧化速率具有共識的模型難以發展出來。首先是 RTO 通常完全地發生於初始氧化區內。此外，文獻中所報導的實驗測得的氧化速率值變化極大，這可能是由於成長期間晶片之溫度量測困難所致。一般相信，許多早期的 RTO 文獻上所報導的資料，其溫度差異可高達 50 °C。此外，氧化速率會隨著光子曝光之能量增加而增加。此效應之量與光源有關，弧燈於紫外光 (UV) 部分具有一較密的頻譜，所以此效應較強。此增強是由於光使得氧分子 (O<sub>2</sub>) 被游離而形成氧離子 (O<sup>-</sup>)，其於空間電荷場之影響下會漂移至矽界面，於 p<sup>+</sup> 型基板此效應最強，而於 n<sup>+</sup> 型基板此效應則降為零。

## 2.2 圖案轉移

前一節介紹了引入、活化與擴散摻質所需的製程，以及如何於矽晶片上成長氧化層。這些製程的限制之一是它們是做在整個晶片上。IC 製造之精髓為能夠將 IC 設計工程師設計的電路布局轉移至半導體晶片上的能力。本節將介紹此種與轉換有關的製程：微影及蝕刻。因為許多層的側向尺寸及其與其他結構間允許的最近距離決定了電路的速度，因此這兩種製程是極為重要的。由於圖案轉移 (pattern transfer) 之重要性，所以通常以技術的特徵尺寸 (線寬) 來稱呼該技術 (如  $0.25\ \mu\text{m}$  CMOS)。

大部分的微影成像以兩步驟的製程來完成。首先整個電路設計可被拆解成許多層，每一層均對應到最後完成之 IC 的某一薄膜位置。通常這些層是利用光罩製作出來的，因為光罩製作完成後，經由在其上方照光，可在晶片上形成圖案。此光線是落在一光敏材料上，之後則透過顯影以試著重建原來光罩上的影像。光罩的製作我們將不在此詳細討論，其製程極類似於晶片上的微影，光學微影 (optical lithography) 及電子束微影 (electron beam lithography, EBL) 均被使用在光罩的製作上。

隨著所需之特徵尺寸的持續縮小，使得光學微影成像變得愈來愈困難。這也導致了新的微影成像技術的發展，例如，準分子雷射步進機 (excimer laser stepper) 及相位對比光罩均使得光學微影技術能夠擴展至更小的特徵尺寸。其他方法則利用極短波長之非光學輻射以複製細線，電子束及終極紫外光微影 (extreme ultraviolet lithography) 為兩種最常見的新製程。隨著光學微影技術持續不斷的改進及延伸至更短的波長，使得非光學微影技術受到壓縮，而無法廣泛地應用。目前的「光學」(實際上是深紫外光) 微影技術已可解析小於  $0.1\ \mu\text{m}$  的特徵尺寸。

利用曝光在感光材料上定義完圖形之後，接著是將感光材料作為複製下方薄膜影像的模子。通常是在覆蓋感光材料之前先在整個晶片上沉積薄膜，接著在感光材料定義完圖形之後，以感光材料作為蝕刻的遮罩，以去除不想要的材料。本節將介紹此種標準的蝕刻過程。

### 2.2.1 光學微影

圖 2.13 顯示的是大部分 IC 設計之流程圖。首先是確認晶片的功能，如果功能太複雜，則拆解成幾個子功能。這些子功能被布局在一平面圖上，且每一子功能於晶片上個自分配到一空間以供將來設計之用。在此方面，設計者必須能建構一晶片之高階模型以測試其功能，並評估其表現。之後，設計者從之前所設計的子電路 (稱為 cells) 中找出所需的子電路，聚集成所要的電路，於是完成了晶片的設計。這些子電路是根據一組設計或布局規則來布局的。圖 2.14 為某一技術一些設計規則的例子。這些規則為製造商與設計者之間的契約。對於每一層，布局規則定義了所允許的最小尺寸及間距、該層的尺寸與其他層之間的

最小重疊尺寸，以及與下方結構間的最小間距等。若設計者遵守設計規則，則製造商有責任確保晶片之功能與當初設計的相同。設計完成之後，會檢查是否符合設計規則，以確保晶片能順利製作出來。最後，可能會針對實際的布局作額外的模擬，若不符規格，則會修正設計直至符合規格。有些電腦自動設計 (computer-automated design, CAD) 軟體會自動地模擬分析一部分或先前所說的全部過程。於最先進的 CAD 系統中，IC 欲提供之功能的高階描述以及包含設計規則之檔案會提供給該系統，該程式會產生晶片之布局以及對電路表現之評估，之後，設計者只要監督該過程，於必要時手動調整，以改善電路之表現。

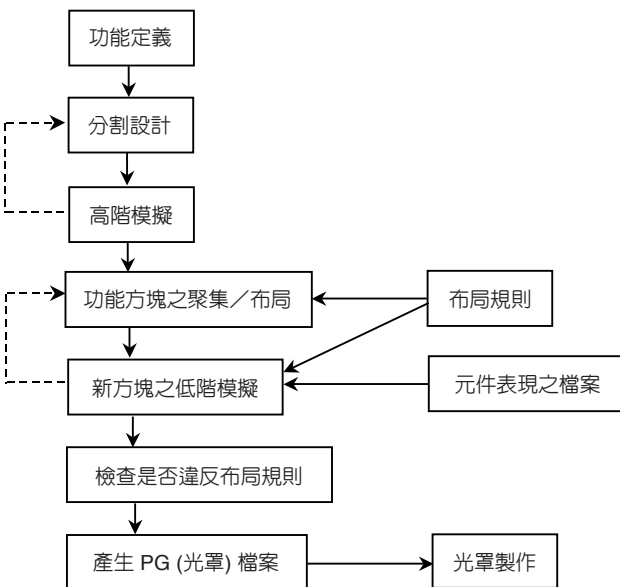
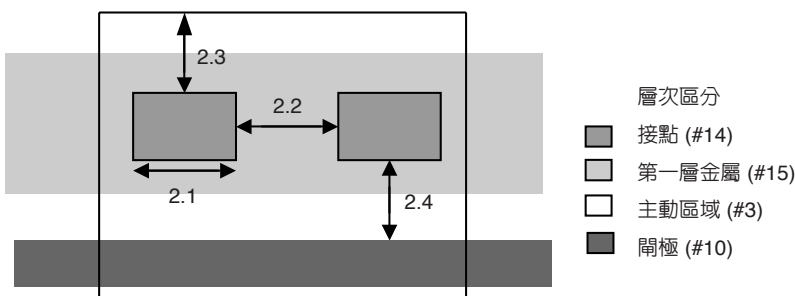


圖 2.13 簡化之 IC 設計流程圖。



- |                    |  |
|--------------------|--|
| 2.1 接點大小 (固定值)     | 1.0 $\mu\text{m} \times 1.0 \mu\text{m}$ |
| 2.2 最小之接點與接點之間距    | 1.2 $\mu\text{m}$                        |
| 2.3 最小的主動區重疊過接點之距離 | 1.2 $\mu\text{m}$                        |
| 2.4 最小的接點與閘極之間距    | 0.8 $\mu\text{m}$                        |
| 最大的接點與閘極之間距        | 1.5 $\mu\text{m}$                        |
| (對於標準之元件表現而言)      |  |

圖 2.14

典型設計規則集合之摘錄，此部分論述某一特殊技術之第一層金屬的規則。

設計者及製造商之間的界面為光罩。每一光罩包含製程中一層的影像。依所用曝光機之不同，光罩之尺寸可以與最後完成之晶片相同 (1×)，或者為該尺寸之整數倍 (亦即可於曝光期間使其縮減，一般的縮減量為 5 倍 (5×) 和 10 倍 (10×))。量產用的光罩大部分是 150 mm × 150 mm，預期以後會增至 225 mm × 225 mm，以容納晶粒尺寸較大的微處理器。光罩係製作在各種形式的熔合氧化矽上。光罩最重要的特性包括於曝光波長處高度的透光性、小的熱膨脹係數，以及可降低光之散射的平坦與高度拋光的表面。該玻璃的一面是有圖案的不透光層，於大部分的光罩中，此不透光層的材料是採用鉻。光罩於定義完圖案之後，可經由與資料庫之間的比對作驗證。任何不想要的鉻，可以雷射剝除法去除。鉻中的任何小孔，均可以額外的沉積作修補。因為一片光罩可能會用於定義數萬片晶片，光罩上任何夠大的缺陷均會複製於每一晶片上，因此修補的工作是極具決定性的。

於主流的微電子製造中，微影是最複雜、昂貴及關鍵性的製程。(微影方面有一些不錯的參考文獻可供有興趣此領域的讀者參考。早期的經典之作包括了 Stevens<sup>(26)</sup>、Bowden<sup>(27)</sup> 及 Elliott<sup>(28)</sup> 等人的書。最近 Moreau<sup>(29)</sup> 的書是較綜合性的書之一。) 表 2.4 顯示了過去及未來數個世代積體電路 (IC) 在微影方面的需求<sup>(30)</sup>。微影之花費幾乎佔了 IC 總製造成本的三分之一，且其比例正增加中。典型的矽技術包含了 15 至 20 層不同的光罩，某些 BiCMOS 製程甚至需要高達 28 層光罩。雖然傳統的二化鎵技術需要的光罩數目較少，但是其數目正在增加中。此外，技術表現通常以製造極細之線的能力作評斷，對於一微影過程之表現的估算是 不易的。記憶體製造商也許需要針對某一晶片上的數十億個電晶體及超過數萬片晶片的某關鍵特徵尺寸作嚴格的管制。另一方面，當晶片上有 50% 的特徵尺寸落在某一可接受的範圍內時，元件的研究者就會覺得完全滿意了，因此當估算微影之表現時，必須用同一種標準。

圖 2.15 顯示以光學的方法對一晶片曝光之簡單系統的橫截面示意圖。上方的光源通過光罩後，影像會被投影至覆蓋著一層薄而稱為光阻 (photoresist) 之感光材料的晶片表面，因

表 2.4 預期的各個世代之技術對於微影之要求。

DRAM 大小	DRAM 之晶片大小 (mm <sup>2</sup> )	微處理器之晶片大小 (mm <sup>2</sup> )	最小之特徵尺寸 (μm)	重疊之精確度 (μm)	量產年度
256 Mbit	170–280	180–300	0.25	0.10	1997
1 Gbit	240–400	220–360	0.18	0.07	1999
4 Gbit	340–560	260–430	0.13	0.045	2003
16 Gbit	480–790	310–520	0.10	0.035	2006
64 Gbit	670–1120	370–620	0.07	0.025	2009
256 Gbit	950–1580	450–750	0.05	0.020	2012

註：根據國際半導體技術準則<sup>(31)</sup>

此光學微影成像可以區分成兩部分。第一部分是關於使光罩上之影像投射在晶片表面之曝光機台的設計及操作方面的問題，這主要和光學系統設計有關。第二部分為輻射穿過光罩為晶片上的光阻所吸收及其圖案之顯影有關的化學過程。這兩部分的區隔點為打在晶片表面的輻射圖案，亦稱為光罩之虛像影像。本章將回顧光學曝光的基本物理，所討論之機台均為光學的，使用之光源包括可見光、紫外光 (UV)、深紫外光 (DUV) 與終極紫外光 (EUV)。曝光機稱為 aligner 的原因是由於其具有兩種功能，亦即不僅能複製某一特別層的影像，且能將該層與前層之間作對準定位。

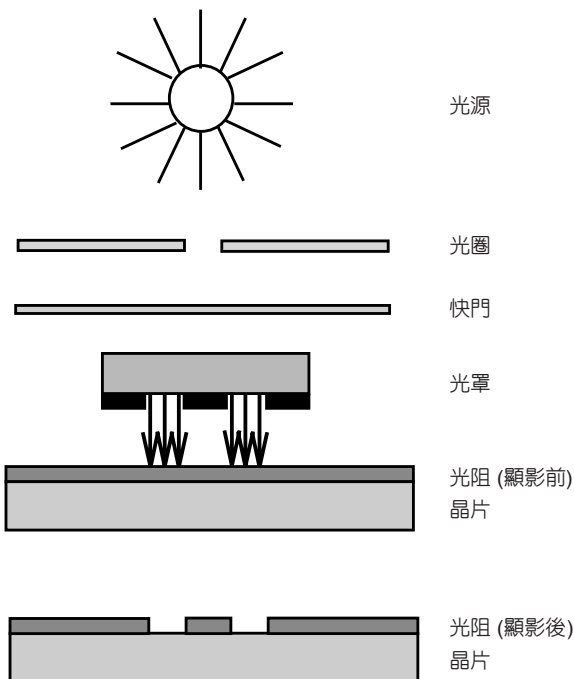


圖 2.15  
簡單的微影曝光系統之示意圖。

曝光機之表現主要有三項指標 (表 2.5)。第一是解析度，亦即所能曝出來的最小特徵尺寸。雖然設備製造商有時候會設法證明，但是對某一特定的曝光機而言，解析度並非是一固定的數值。解析度與光阻重建投射影像 (aerial image) 圖案的能力有關。如之前所提及的，以特殊的光學機台及光阻系統也許可以製作出極小的特徵尺寸，但是由於尺寸的控制不佳，基於可靠度因素，無法採用。因此，解析度的圖引用的數據通常是所能解析之最小的特徵尺寸，且其值需保持在一定的變動值之內。典型的數值為線寬之三倍標準差 ( $3\sigma$ ) 的分布，不超過 10% 的變化。衡量曝光機之表現的第二個方式為量測層與層之間重疊的偏移量 (registration)。再次地，偏移量好的量測結果本質上是統計分布的，如果偏移量之誤差值完全是隨機分布的，則平均之誤差值為零。以  $3\sigma$  之圖所量測之偏移量誤差分布的寬度為重疊之表現的良好指標，此數目與許多因素 (例如操作員之經驗以及晶片之狀態) 有關。自動

表 2.5 一些光阻參數對製程結果的影響。「XX」表示相關性強，而「—」表示相關性不大。

	解析度	偏移量	晶片與晶片 間的控制	批與批之 間的控制	產出量
曝光系統	XX	XX	X	XX	XX
基板	X	X	XX	X	X
光罩	X	X	—	X	X
光阻	XX	X	XX	XX	XX
顯影液	X	—	XX	XX	X
潤濕藥劑	—	—	XX	X	—
製程	X	X	XX	XX	XX
操作員*	X	XX	XX	X	XX

註：操作員那一列記載的是手動之曝光機的情形。目前許多先進的曝光機均使用自動對準及曝光系統，因此可大幅降低由於操作員技巧差異所造成的影響。

對準系統被用於製造 IC，對於這些系統而言，對準的誤差與系統精確對準符號之位置的能力有強烈的相關性，而此能力又與所採用之對準符號的特性以及晶片表面的薄膜有關。研究單位通常採用較簡單的手動操作系統，因此曝光機之表現與操作員的技巧有關。衡量曝光機之表現的第三個主要方法為產量。電子束系統的解析度極好，且其偏移量相當小，但對於典型的包含  $10^6$  個電晶體的 IC 圖案，其產出可能小於每個小時 1 片，使得其無法應用於許多方面。

仔細地研討過這些方法之後，讀者必須牢記在心所希望的技術為何。對於大部分的 ULSI 技術而言，若微影機台要能充分的利用，則其  $3\sigma$  的偏移量必須在最小特徵尺寸的三分之一以內。產出量及製程的均勻度亦是相當重要的。其他的技術如砷化鎵金屬半導體場效電晶體 (MESFET)，雖然對偏移量及產出量的要求較鬆，但也許需要極佳之解析度。即使是在同一種技術之內，不同的層次會有不同的要求，因此某些層可能會用某一種曝光機曝光，而其他層會用另一種曝光機曝光。不同的層次採用不同的製程稱之為調配及配合微影 (mix and match lithography)。

討論微影之光學時，必須要能夠區分那些問題所涉及的尺寸均比光的波長大，而那些問題是不符合此法則的。例如，討論光學系統時，光學、反射鏡及透鏡等之尺寸的數量級均為 1 公分或更大，因此在此種系統中，光可視為粒子，其在這些元件之間是以直線行進的。用於此種情況之分析法稱為光線追蹤法 (ray tracing)。另一方面，當光通過一光罩且光罩上特徵尺寸的大小接近光之波長時，則必須考慮繞射及干涉等特性，面對這些現象需要以電磁波的方式來描述光。對於投射影像，我們採用三種描述。第一種為電場 (V/cm)，電場之平方為強度 ( $W/cm^2$ )，將強度乘以曝光時間可得曝光量，其單位為  $J/cm^2$ 。

## 2.2.2 光阻

前一節中討論了曝光期間光照輻射於晶片表面所產生的圖案，亦即投射影像 (aerial image) 之產生。為了圖案之移轉，光照輻射必須打在光敏材料上，且必須改變該材料之特性，使得微影製程完成後，光罩上的圖案可複製在晶片表面上。用於微電子製造之光敏化合物稱為光阻 (photoresist，或簡稱 resist)。本節將討論光照輻射對光阻特性之影響，且將專注於最常使用於 IC 製造而以酚醛樹脂 (novolac epoxy resin) 為基礎之系統。

區分光阻最簡單的方法之一是根據其極性。光阻於曝光完成後會被浸入一顯影液中，正光阻之曝光區域與光反應後，於顯影過程中會較快溶解。理想上，未曝光之區域會保持不變。負光阻之光反應方式與正光阻相反，未曝光之區域會溶解於顯影液中，而曝光之區域會留下來。正光阻通常有較佳的解析度，因此於 IC 製造中較常使用。

用於 IC 製造之光阻通常包含三種成分：樹脂或基本材料、感光化合物 (photo active compound, PAC)，及可控制力學特性 (例如基本材料之黏性，使其保持於液態) 之溶劑。PAC 於正光阻中，曝光前係作為抑制劑，可減慢光阻置於顯影液中的溶解速率。曝光完光之後，PAC 會產生化學變化，從抑制劑變為感光劑，使光阻於顯影液中的溶解速率增快。理想上，抑制劑可完全地預防光阻之溶解，而感光劑 (或增強劑) 可使得光阻溶解於顯影液中之速率變為無窮大。當然了，實際上這是做不到的。

對於光阻之表現，兩個最務實的指標為靈敏度及解析度。靈敏度係指要創造先前所描述之化學變化所需的光能 (通常以  $\text{mJ}/\text{cm}^2$  度量)。因為曝光強度固定時，若光阻愈靈敏，所需之曝光時間愈短，製程愈快速。解析度則指某一光阻所能複製出的最小特徵尺寸，如前一節中所描述的，這與曝光工具及光阻製程本身有極大的相關性。但是即使固定曝光機台，此指標仍有相當大的不確定性。

如同先前所曾提及的，解析度為評斷光阻表現的極佳方法，缺點為其與曝光機台的相依性太高。一個稱為對比 ( $\gamma$ ) 的函數可更直接地用於描述一光阻。光阻之對比的測量，首先是於晶片上方旋塗一層光阻。假定使用之光阻為正光阻，量測完光阻之厚度後，於一段小的時間內對晶片作均勻的曝光，因此曝光量只是光強度 (單位  $\text{mW}/\text{cm}^2$ ) 乘以曝光時間。其次，將晶片浸入一顯影液中一段時間。最後從顯影液中取出晶片，沖洗乾淨並旋乾，再量測剩餘之光阻厚度。如果光的強度不夠大，僅有少部分之 PAC 會從抑制劑的角色變為催化劑的角色，因此光阻的厚度將與原來之值相去不遠。之後，是增大曝光量重複此實驗。如果將剩餘的光阻厚度歸一化，並將其對入射光量的對數作圖，則可得到如圖 2.16 中所示之對比曲線。此曲線可分成三個區域：幾乎所有的光阻留下來之低曝光量區、所有的光阻均被移除之高曝光量區，以及這兩個極端之間的過渡區。為了求得光阻之對比的數值，首先以一直線估算曲線之陡峭部分的斜率。此線從所有光阻可被移除之最低曝光能量開始延伸，此能量密度稱為  $D_{100}$ 。此線之縱軸值為 1 時所對應之曝光量，大約是開始驅動光化學所需之最低能量，此能量稱為  $D_0$ 。因此光阻之對比 ( $\gamma$ ) 定義為



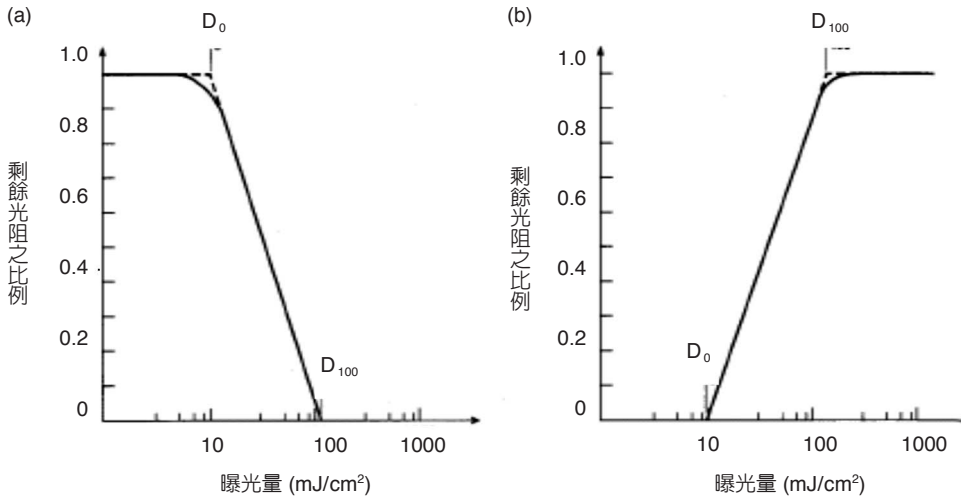


圖 2.16 理想之光阻對比曲線：(a) 正光阻，(b) 負光阻。

$$\gamma = \frac{1}{\log_{10} \frac{D_{100}}{D_0}} \quad (2.53)$$

亦即該線之斜率。對比可以視為光阻分辨光罩上透光區及暗區能力的指標。到目前為止，對比之重要性也許尚不明顯。考慮對一繞射光柵的曝光，線及間距之邊緣附近的輻射強度呈緩慢的變化。光阻之對比值愈高，則線的邊緣愈陡峭。典型之光阻的對比值為 2 至 3，這意謂著  $D_{100}$  比  $D_0$  大  $10^{1/3}$  至  $10^{1/2}$  倍。此外，對於某一種光阻而言，對比曲線並不是固定的。對比曲線與顯影過程、軟烤及曝光之後的烘烤過程、曝光輻射之波長、晶片之表面反射能力以及數種其他因子有關。微影工程師的職責之一就是調整光阻之製程，使得對比值最大化，而仍能保持一可接受的曝光速度。表 2.6 顯示數種光阻於各種波長下典型的對比值。

表 2.6 數種量產用之光阻於各種波長下之對比值<sup>(32)</sup>。

$\lambda$ (nm)	AZ-1350	AZ-1450	Hunt 204
248	0.7	0.7	0.85
313	3.4	3.4	1.9
365	3.6	3.6	2
436	3.6	3.6	2.1

註：AZ 開頭的光阻為 Shipley 的產品。

典型的光阻，其低曝光能量小於  $50 \text{ mJ/cm}^2$ 。於這些能量下，光阻之分布圖主要與低曝光量及對比曲線暫態區有關。這些曝光會產生淺角之光阻分布圖，其與投射影像的品質較無關連。若曝光量大於約  $150 \text{ mJ/cm}^2$ ，則曝光區通常遠大於  $D_{100}$ ，那麼，光阻之分布圖主要與光學影像及光阻中光的散射及吸收有關，且分布圖將相當陡峭。雖然通常較希望得到一較陡峭的影像，但隨之而來的是較長的曝光時間及較慢的產出速度。因為大部分的曝光是在中或高曝光區，因此接下來的討論將侷限在這些區域。

一旦光開始穿透光阻，其強度將隨著下式而減少

$$I = I_0 e^{-\alpha z} \quad (2.54)$$

其中  $\alpha$  為光阻的光吸收係數，單位為長度分之一。一般而言， $D_0$  與光阻之厚度無關， $D_{100}$  反比於吸收量  $A$ 。 $A$  可以表示如下式：

$$A \equiv \frac{\int_0^{T_R} [I_0 - I(z)] dz}{I_0 I_R} = 1 - \frac{1 - e^{-\alpha T_R}}{\alpha T_R} \quad (2.55)$$

其中  $T_R$  為光阻之厚度。因此，可證明下式：

$$\gamma = \frac{1}{\beta + \alpha T_R} \quad (2.56)$$

其中  $\beta$  為一無單位的常數。很明顯地， $\gamma$  之值隨著光阻厚度的減少而增加是合理的。然而如果光阻太薄，則當其經過起伏之處時，其階梯覆蓋的效果將不好。此外，亦無法以其作為蝕刻其下方層次之遮罩，因可能擋不住蝕刻。因此，於絕對的解析度與較實際的光阻參數之間必須有所妥協。

從對比曲線中可決定的另一個光阻的指標為臨界之調變轉移函數 (CMTF)，其大約是得到一個圖形所需之最小的光學調變轉移函數。臨界之調變轉移函數定義如下：

$$\text{CMTF}_{\text{光阻}} = \frac{D_{100} - D_0}{D_{100} + D_0} \quad (2.57)$$

若使用對比來表示，可得

$$\text{CMTF}_{\text{光阻}} = \frac{10^{1/\gamma} - 1}{10^{1/\gamma} + 1} \quad (2.58)$$

CMTF 的典型值約為 0.4。CMTF 之功能係為光阻之解析度提供一個簡單的檢驗。如果一個投射影像的 MTF 較 CMTF 小，則該影像將不會被解析；如果較大，則該影像有可能被解析。如同對比，CMTF 提供了我們一個關於解析度的數值。

微影製程之步驟列於圖 2.17 中。對於正光阻，為了使光阻之覆蓋平整且均勻，並考量光阻與晶片間之附著性，通常必須於光阻旋塗之前，對晶片作預處理。預處理的第一個步驟通常是脫水烘烤。此步驟之目的是要去除晶片表面上大部分的水氣，通常是於真空或乾氮的環境下，於 150–200 °C 之間進行。於此溫度下，晶片表面上大約會殘留一分子層的水。可以利用較高的溫度作脫水烘烤，以進一步去除所有吸附的水氣，但這些高溫烘烤較不常見。

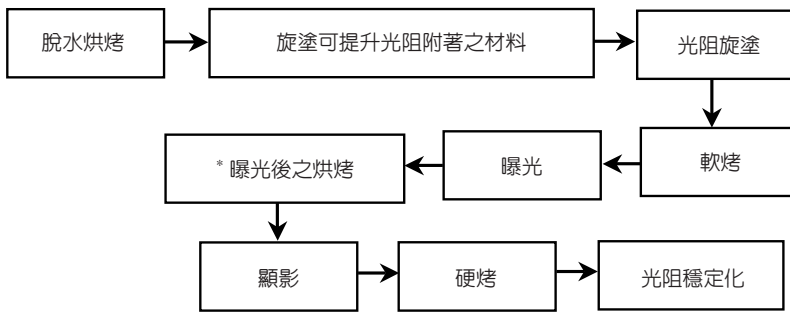


圖 2.17  
光學微影步驟之典型的製程流程 (\* 代表選擇性之步驟)。

於晶片烘烤之後，通常會立刻旋塗一層六甲基雙氧矽甲烷 (hexamethyldisilazane, HMDS)，以提升光阻與晶片間的附著。HMDS 薄膜是利用蒸氣沉積的方式來達成，亦即將晶片懸浮於含高蒸氣壓之 HMDS 液體容器的上方，使得蒸氣可覆蓋在晶片的表面上。亦可直接在晶片上施加一定體積的液態 HMDS，旋轉晶片使得該液體散布成一極薄的均勻薄膜。不管是用那一種方法，即使 HMDS 是部分氫氧根化，單層的 HMDS 會快速地與晶片之表面鍵結，而分子的另外一邊則會快速地與光阻鍵結。

晶片於覆蓋一層 HMDS 之後，接著是覆蓋一層光阻。最常見之方法為旋轉覆蓋。首先將晶片放置在連接至一真空管線之平坦、中空圓盤狀的金屬製真空夾頭上方。夾頭的表面有一些小洞，當晶片置於其表面時，真空管線會吸住晶片使得晶片與夾頭之間作緊密的接觸。之後，在晶片表面施加一先前決定好的光阻量。對夾頭施加一轉力矩，以一可控制的速度快速地將其加速至最大的轉速，通常是 2000 至 6000 rpm。因為當光阻施加在晶片之後，其內的溶劑就開始蒸發，因此加速步驟對於得到良好之光阻均勻度有決定性的影響。晶片會以該速度旋轉一段固定的時間，之後再以某一可控制的方式減速至停止。此方法有一種變化，稱為動態施加光阻，是於低速旋轉晶片時施加部分或全部的光阻，使得在高速旋轉之前，光阻可散布於整個晶片上。

對於發展一良好的微影製程而言，光阻之厚度及其厚度之均勻度具有決定性的影響。

光阻之厚度與施加之光阻量之間並不具強烈的相關性。於旋轉之後，通常僅有少於 1% 的施加光阻會留在晶片上，其餘的均於旋轉期間被甩開了。為了避免光阻的再次沉積，光阻旋塗機的夾頭周圍有飛濺防護罩。光阻之厚度主要由黏度及旋轉速度所決定，較高的黏度及較慢的轉速所得之光阻會較厚。典型之製程係以 5000 rpm 的轉速旋轉 30 秒，以得到約 1.0 微米厚的光阻。此時，因為光阻中只殘留不到三分之一的溶劑，因此光阻具有相當大的黏度。

晶片於旋塗光阻之後，必須做軟烤或預烤。此步驟之功能為驅除光阻中大部分的溶劑，並建立曝光特性。光阻於顯影液中的溶解速率與最後光阻中所剩的溶劑濃度具強烈的相關性。一般而言，若軟烤之時間較短或溫度較低，則於顯影液中的溶解速率將增加，使得敏感度較高，但對比度較差。高溫軟烤實際上會開始驅動感光化合物 (photo active compound, PAC) 的光化學，使得未曝光區域之光阻溶解於顯影液中。實際上，軟烤過程是利用嘗試錯誤的方式使對比最佳化，而仍能保持一可接受之光學敏感度的方式所產生的。典型的軟烤溫度為 90–100 °C，時間則從熱面板的 30 秒到烤箱中的 30 分鐘左右。軟烤之後，殘留於光阻內之溶劑濃度通常約為原來濃度的 5%。

軟烤完之後，是對晶片進行曝光；曝光之後，則是對晶片進行顯影。幾乎所有的正光阻都使用如氫氧化鉀水溶液之類的鹼性顯影液。顯影期間，羧基酸會與顯影液起反應而形成胺類及金屬鹽，此過程會消耗氫氧化鉀。如果要保持一穩定的顯影過程，則必須注意不斷的補充顯影液。於簡單的浸泡顯影中，通常是於顯影了某一定數目的晶片後，換掉顯影槽中的顯影液。於顯影過程期間，顯影液會貫穿暴露於顯影液中的光阻表面而產生膠體。於以酚醛樹脂為基礎的膠體中，膠體的深度稱為貫穿深度，其值小至可以忽略。對於許多負光阻而言，這點並不成立，因為穿透區的膨脹會導致光阻特徵尺寸之失真。對於以酚醛樹脂為基礎的正光阻，Hanabata 等人首度提出所謂的石牆模型。於此模型中，羧基酸以極快的速率溶解於顯影液中，而增加顯影液與酚醛樹脂矩陣之間的有效面積。於未曝光之區域，矩陣與感光化合物 (PAC) 之間的含氮偶合反應會減緩溶解之速率，此種抑制與酚醛樹脂矩陣之化學結構有關。此溶解機制為獲致高對比之光阻的關鍵所在。

有數種系統可用於光阻之製程。大學實驗室中最簡單也最可能見到的是一對用於對整批晶片做硬烤及軟烤的對流式烤箱，以及單一晶片旋塗光阻機。通常光阻是利用注射器加至晶片上的。這種粗糙且較便宜的設備亦可製作出次微米的特徵長度，但是其均勻度及重複性與所期望的仍有一段距離。另一個極端是工業界的製程設備通常採用的自動光阻製程系統，此系統有時稱為軌道 (tracks)。於這些系統中，晶片從一存放晶片的卡式晶片匣中移出，送至金屬板加熱器或紅外線燈管烤箱中作脫水烘烤。之後，將晶片送至施加站施加六甲基雙氧矽甲烷 (HMDS) 並作旋轉，接著施加光阻並旋轉。再來是將晶片移至第二個金屬板加熱器或紅外線燈管烤箱作軟烤。最後則將晶片送至第二個卡式晶片匣，等待曝光。利用金屬板加熱器加熱後，通常會將晶片置於冷金屬板上，以確保施加光阻期間溫度之可重複性，及避免接收晶片之卡式晶片匣對晶片造成污染。

### 2.2.3 非光學之微影技術

前兩節討論了被視為是將圖案投影在晶片表面之主要方法的光學微影，且指出了對於此製程而言，解析度之限制是一個嚴重的問題。光學微影已經從使用具高數值口徑之透鏡及深紫外光光源之步進機，進展至目前採用相位對比光罩的掃描式步進機或其他的光學鄰近式修正技術。光學微影的支持者相信此技術至少可以擴展至 0.1 微米，如果配合 157 奈米光源的適當光學材料可以成功地開發出來，或許可以擴展至 0.05 微米。然而，這些尺寸的光學微影預估將非常昂貴。即使是用於量產 2000 至 3000 片晶片的典型光罩組，如果所有的晶片均採用全光學鄰近修正，其花費可能會超過兩百萬美金。如果光學微影無法以符合成本的方式繼續往下擴展，或是希望特徵尺寸進一步縮減至 0.05 微米或更小，則必須發展新的微影技術。這些方法統稱為非光學之微影或下一代之微影 (next generation lithography, NGL)。目前已有許多的 NGLs 被發展出來，然而，要廣泛地應用於積體電路的製造上則均面臨到嚴重的困難。由於解析度之雷里極限 (Rayleigh limit of resolution) 反比於波長，因此非光學之微影的一般特色為使用波長極短之光源。本節中將介紹的兩種光源，X 光及電子束微影 (EBL) 成像，因波長太小，所以不再能以繞射定義微影之解析度。採用極短波長之高能量源的主要問題為遮罩。到目前為止，尚無任何一種材料製成之厚的遮罩可以容許大部分此種高能量穿過而仍能保持力學上的穩定。本節中將介紹四種目前發展中而能克服此問題的方法：無光罩之電子束直寫、用於鄰近式 X 光及投影式電子束微影之薄膜光罩，以及用於投影式 X 光顯影 (X-ray lithography) 之反射光罩。非光學之微影系統最可能採用的兩種曝光能源為短波長的光子 (X 光) 及高能電子 (電子束)。對於此兩種光源而言，發生於光阻內部及其下方之層次內的交互作用是有些類似的。在介紹製程本身之前，本節將回顧這些交互作用的物理。

用於微影之典型的 X 光源會放射出能量介於 0.1 到 10 keV 的光子。當這些光子入射至一固體，會產生許多可能的交互作用，其中兩種最可能的交互作用為光電效應及康普敦效應 (Compton effect)，如圖 2.18 所示，兩種過程均牽涉到光子與電子間之交互作用。若能量遠小於 10 keV，則光電效應將是最主要的交互作用<sup>(33)</sup>，且被逐出的電子將帶走幾乎所有入射光子之能量。此光電效應的捕捉橫截面積與靶材料之質量有關。於較高的能量下，康普敦效應將具主導角色。康普敦效應可視為一個一開始處於靜止狀態的電子，與一具能量  $hc/\lambda$  及動量  $h/\lambda$  的光子之間的碰撞過程。於此散射過程，入射光子之能量的一部分會轉移給電子。因為入射光子之能量通常比從固體中游離出電子所需之能量 (亦即功函數) 大 2 到 3 個數量級，所以靶中的電子可視為近乎自由的，且康普敦效應之橫截面積僅與電子之密度有關。於動量及能量均守恆下，可證明

$$\lambda_2 - \lambda_1 = \lambda_c (1 - \cos\theta) \quad (2.59)$$

其中  $\lambda_c$  為康普敦波長 (0.0243 Å)， $\theta$  為入射光子動量與最後之光子動量間的角度。對於波長

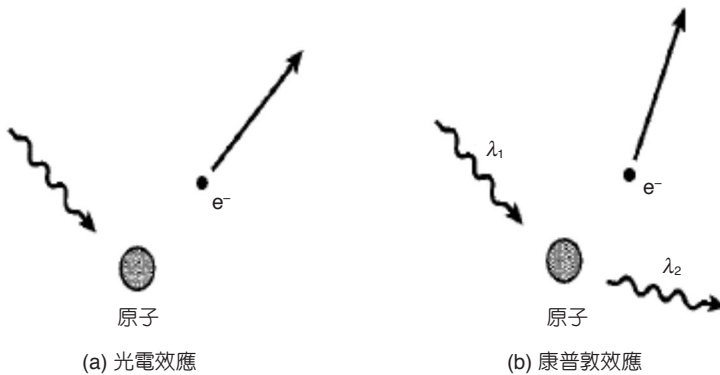


圖 2.18  
高能量光子與物質之間的兩個主要的交互作用過程：(a) 光電效應，(b) 康普敦效應。

1 Å 的 X 光，於一次康普敦散射中僅會損失一小部分的能量，因此高能量的 X 光於許多的固體中會穿透相當的距離。

大部分的 X 光微影是在光電吸收為主的能量遠低於 10 keV ( $\lambda \gg 1 \text{ \AA}$ ) 的狀況下進行，入射之光子能量大部分將被撞擊游離所產生的二次電子所耗散。在該方面，一旦初始的光電子產生，X 光微影及電子束微影均利用光阻中類似的曝光機制。這兩個過程間的一項重要差異為 X 光微影期間光阻內所產生的二次電子約比電子束系統所產生的二次電子之能量小一個數量級，因此 X 光微影中能量散布的距離遠較電子束微影小。

由於捕捉橫截面之大小有限，因此入射之光子不會被光阻表面所吸收，而會穿透至某深度直到吸收發生。一個合理的近似是將光阻視為具單一捕捉橫截面積的非結晶固體。吸收係數  $\alpha(\lambda)$  為波長之函數，可定義如下：

$$\alpha(\lambda) = \sigma(\lambda)\rho/m \quad (2.60)$$

其中  $\sigma(\lambda)$  為靶材料分子之捕捉橫截面積， $\rho$  為靶材料之密度， $m$  為靶材料之分子質量，即  $\rho/m$  為靶材料之數目密度。於典型的曝光波長下，吸收係數為光子能量之函數，但是對於大部分光阻而言，其值之數量級為  $1 \mu\text{m}^{-1}$ 。如果  $\alpha$  值太大，光阻曝光將會不均勻；如果  $\alpha$  值太小，將對應低的曝光速率。對應於原子之核心能階的能量，吸收係數亦存在著不連續的情況。很清楚地，若投影式 X 光微影採用較低能量之光子 ( $\lambda > 10 \text{ nm}$ )，則其將對應一較大的  $\alpha$  值。除非採用強力的漂白機制，否則光阻曝光將是一個嚴重的問題。X 光會與其下方之材料交互作用，因為入射能量有一部分會通過光阻而落在晶片上，所以對於所有的 NGLs，X 光微影所引起的毀損亦是一重要的考量。

電子束微影 (EBL) 系統可用於光罩之製作或直接在晶片上寫圖案。EBL 由於具有精確地定義出小特徵尺寸的能力，因此成為光罩製作可選擇的技術之一。本節將只簡單地討論「直寫 EBL」(direct write EBL)。大部分的直寫系統利用可相對於晶片移動之小的點狀電子束一次曝一個像素的圖案，亦有數種投影式及鄰近式電子束微影系統被開發出來<sup>(34)</sup>。然而由於電子之穿透長度不長，因此無法利用如石英之固體基板作為光罩，可採用極薄之薄膜

光罩，或者具有電子束可從其間通過之保險開關的模板光罩。直寫 EBL 系統根據電子束之幾何是固定的或可變的，可分類為光柵掃描或向量掃描，每一種系統皆有其優點，而選擇那一種系統則是根據設計之寫入方式。

所有的電子束系統最好都具有高強度 (明亮度)、高均勻度、尺寸小的點、良好的穩定度及長生命期之電子源。明亮度之單位為每單位體積、每單位弧度下之安培數。藉由加熱陰極 (熱游離放射)、施加一大的電場 (場輔助放射)、以上兩者之組合 (熱場輔助放射) 或利用光 (光放射)，可將電子從陰極移除。圖 2.19 顯示可用於 EBL 之兩種簡單的電子槍之橫截面。最常見之源為由於其高明亮度所形成之熱游離源，因此燈絲材料應選擇可使得從陰極之蒸發最小化者，而儘可能地增長其生命期。電子槍的主要指標之一是放射電子流密度：

$$J_e = AT^2 e^{-E_w/kT} \quad (2.61)$$

其中  $A$  為材料之理查德森常數 (典型值為  $10-100 \text{ A/cm}^2 \cdot \text{K}^2$ )， $E_w$  為有效之金屬功函數。這些電子會被加速，而其中某些比例的電子會被收集起來，收集到的電子能量為明亮度  $\beta$ 。雖然放射之電流密度的增加通常會使  $\beta$  增加，如果  $\beta$  的增加會降低收集效率，則明亮度之百分比增量將不如電流密度的百分比增量。

大部分的熱游離源不是使用鎢就是使用矽酸鈦鎢或六硼化鏷 ( $\text{LaB}_6$ )。鎢燈絲可在高達  $0.1 \text{ mTorr}$  的壓力下操作，但是其電流密度僅約  $0.5 \text{ A/cm}^2$ ，因此其明亮度小於  $2 \times 10^4 \text{ A/cm}^3 \cdot \text{sr}$ 。矽酸鈦鎢陰極於相同燈絲電流下之明亮度較低，因此需要較高的真空度 ( $0.01 \text{ mTorr}$ )，但是其最大之電流密度可高達  $3 \text{ A/cm}^2$ 。六硼化鏷陰極是最普遍的，其電流密度可大於  $20 \text{ A/cm}^2$ ，明亮度可達  $10^6 \text{ A/cm}^3 \cdot \text{sr}$ 。然而六硼化鏷燈絲至少需要  $10^{-6} \text{ Torr}$  的真空度，且必須作好防護，以預防真空度突然變差。

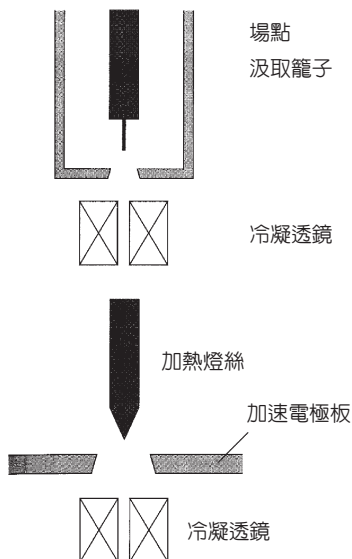


圖 2.19

場放射及熱游離放射之電子槍之簡化橫截面圖。

與光學微影不同的是，EBL 的解析度遠高於主流的 IC 製造商於未來許多年內所希望製造之任一元件的幾何。早在 1970 年代中期，電子束微影技術即已具有直寫寬度小於  $100 \text{ \AA}$  的線及間距之能力。如圖 2.20，市面上買得到的電子束微影系統，目前具有解析度遠佳於  $0.1 \text{ 微米}$  特徵大小之能力 (表 2.7)。這些系統的花費似乎較高，每組約美金五百萬元，然而市面上光學微影用的準分子 (excimer) 步進機系統，目前每組約美金二百萬元。表 2.7 中列出了量產型電子束系統之規格。

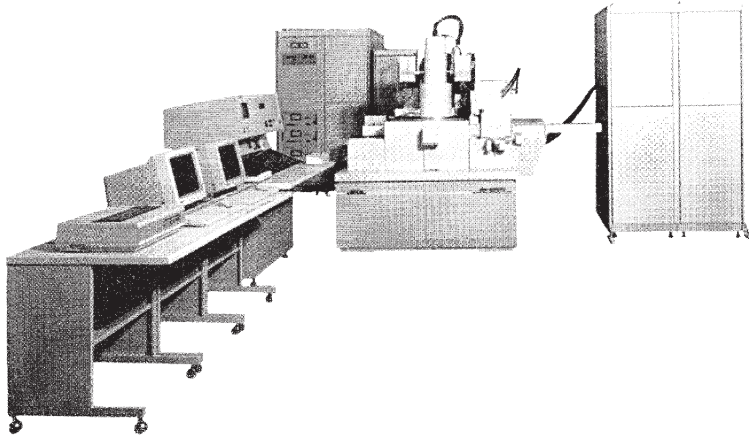


圖 2.20  
JEOL-6000FS EBL 系統之照片。

表 2.7 針對  $0.1 \text{ 微米}$  元件之量產而設計的 JEOL JBX-6000FS/SFE 直寫電子束微影系統之重要的設計參數。

參數項目	參數值
最大之電流密度	$2.0 \text{ A/cm}^2$
電子束之直徑	$0.005 - 0.2 \text{ }\mu\text{m}$
陰極型式	熱游離之場放射 (鋅/氧/鎢)
加速電壓	$25 / 50 \text{ keV}$
寫入之精確度	$0.06 \text{ }\mu\text{m} (2\sigma)$
最小線寬	$0.02 \text{ }\mu\text{m}$

EBL 主要的疑慮為產出量。EBL 可視為一系列的製程，一次會轉移一個像素圖案的訊息至晶片上。另一方面，利用光罩曝光的方式，則是以大量的平行光同時對每一個像素曝光。雖然過去數年來已發展出高亮度源、向量掃描系統及低電感之偏折線圈，加上大孔徑透鏡以改善產出量，但是與光學之微影相比，此技術即使於最佳狀態仍較其慢一個數量級。作為元件量產用的典型系統，其在 20 分鐘內可完成一片包含一萬個  $0.1 \times 200 \text{ 微米}$  之



元件的晶片曝光。然而一個典型的 IC 晶片包含了數十億個電晶體，因此曝光時間將極長。由於產出量上的限制，對於主流的 IC 工業而言，只要另一個可行的替代技術存在，EBL 便不太可能被視為量產技術。

除了光罩製作外，EBL 尚有兩種主要的應用。具高亮度源的可變電子束系統可提供小特徵尺寸之原型或者小量的量產能力。因為不需光罩製作步驟，利用 EBL 可以很快地修正圖案，並產生一些測試晶粒，再加上其高解析度，使得 EBL 成為研究及先進之原型方面一個極具魅力的技術。此市場一些典型的應用，包括高速之砷化鎵積體電路的製造，例如單晶微波積體電路 (MMIC) 之元件，由於晶片尺寸小、元件數目少、晶片之體積小，以及需要深次微米之解析度，使得 EBL 成為一種理想的選擇。EBL 的另一個主要應用為元件之研究。同樣地，由於 EBL 極佳的解析度以及快速完成少量展示作品的的能力，使得其極適合用於此工作。此外，與分離式電晶體研究的情況一樣，當產出量不再是嚴重的疑慮時，經由轉換掃描式電子顯微鏡，可以相對上較低的價格製作出高解析度的 EBL 系統。

第二種可以考慮的非光學微影為利用 X 光源作輻射。目前有三種光源可用於 X 光微影 (X-ray lithography, XRL)。為了增加強度 (及複雜度)，因此有電子衝擊、電漿及儲存環。理想之 X 光源應儘可能地小及明亮 (鄰近式 X 光投影)，或者於一大面積上是均勻的且強度愈大愈好 (投影式 X 光微影)。所有的 X 光源必須於真空環境下操作。然而與 EBL 不同的是，於 X 光微影中，大部分的晶片是在一大氣壓下曝光的，其可免於將晶片周遭抽至高真空的狀態，並提升系統的產出量。X 光源利用薄的鈹金屬窗以汲取 X 光。薄至 25 微米的薄膜，在小於 1 公分的直徑內能夠忍受一大氣壓的壓力差。直徑大至 6 公分的窗已開發成功，並用於大面積的曝光。鈹金屬窗會因為 X 光曝光而逐漸退化，因此必須週期性地替換。

最簡單的 X 光源為電子衝擊源，亦即利用高能量的電子束入射於金屬靶上。當高能量的電子撞擊在一靶上面時，主要的能量損失機制之一為核心層的電子激發，當這些被激發的電子掉回核心層時，便會放射出 X 光。這些 X 光會形成能量與靶材料有關的分離線頻譜。此外，由於荷電電子的減速，因此會放射出連續的制動輻射 (bremsstrahlung) 頻譜<sup>(35)</sup>。

電子衝擊源的主要限制之一為功率消耗。如果靶的溫度太高，則會開始蒸發。基於此因素，靶通常是採用耐高溫之金屬，如鎢及鈾。圖 2.21 中所示最簡單的一種 X 光源，與後面即將討論的電子束蒸發器有些類似。除此之外，會將爐床電荷以水冷卻，以防止靶的蒸發。為了容許較高之功率密度，以水冷卻之陽極必須要以 7000 至 8000 rpm 的轉速轉動，以耗散一較大面積上的熱。於這些系統中，可達到高達 20 kW 之電功率的散逸。另一個最常用的源是利用電漿。有兩種常見的電漿 X 光源，即雷射加熱及電子放電加熱電漿。而這兩者中，雷射加熱是較常見的。雖然曾有人利用準分子建構雷射之加熱系統，但大部分均採用脈衝鈹玻璃板雷射 (YAG laser)。雷射能量會於 10 奈秒內產生，脈衝能量約 20 至 25 焦耳，波長 1.053 微米<sup>(36)</sup>。如圖 2.22 所示，此能量會在薄的金屬薄膜表面聚焦成為直徑 200 微米的點。每脈衝的功率密度 (數量級  $10^{13}$  W/cm<sup>2</sup>) 均足以使薄膜開始蒸發。此高度受熱的金屬蒸氣會輻射出波長介於 8 到 100 Å 的 X 光。以雷射加熱的電漿極適合用於微影，其為

直徑極小之強源。曝光之能量可以利用一光二極體來量測，且可數位式地控制脈衝的數目以控制曝光量。金屬薄膜通常是覆蓋於一帶子上，使得雷射之脈衝產生後，可以儘快地對靶激發出 X 光。目前最佳的 YAG 雷射可產生 2 Hz 的脈衝，從雷射輸出轉換為 X 光能量的典型效率約為 10%，或大約每個脈衝 2 焦耳。

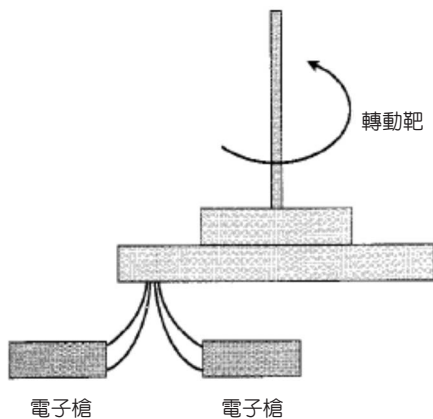


圖 2.21 利用聚焦於轉動鎢陽極之電子束的簡單轉動式電子衝擊 X 光源。

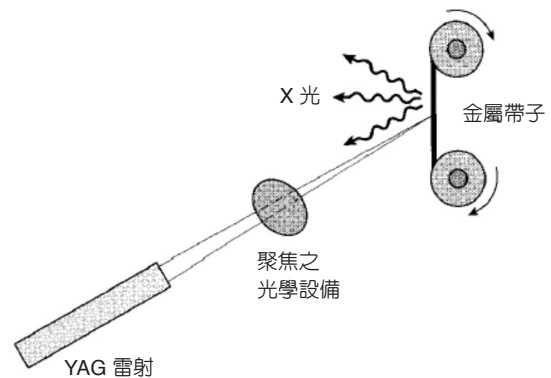


圖 2.22 利用聚焦之高强度脈衝雷射激發一金屬薄膜之雷射電漿加熱式 X 光源，此高度受熱的金屬原子會輻射出 X 光。

## 2.2.4 蝕刻

於一晶片表面定義好光阻的圖案後，下一個製程通常是利用蝕刻 (etching) 將圖案轉移至光阻下方之層。本節將從最簡單的濕化學蝕刻製程開始，意即將晶片浸入一溶液中，使溶液與晶片暴露出來的薄膜起反應而形成溶解性之副產品。通常光阻遮罩對於蝕刻溶液之侵襲具有高度的抵抗力。雖然濕化學蝕刻仍廣泛應用於一些較不重要的製程上，但是由於其難以控制、溶液中之微粒污染源易產生高密度的缺陷、無法應用於小的特徵尺寸，以及會產生大量的化學廢棄物，因此本節之後半段將討論乾式或電漿蝕刻製程。

在一開始討論蝕刻時即定義適當的指標是有用的，主要的一個指標是蝕刻速率，其單位為每單位時間之蝕刻深度。通常一個製造環境最好能有高的蝕刻速率，然而若蝕刻速率太高，可能會使製程變得難以控制。一般希望之蝕刻速率為每分鐘數百至數千埃，但一批晶片同時被蝕刻時，其蝕刻速率可能會較單一晶片之蝕刻製程為低。有些相關的指標是同等重要的，蝕刻速率均勻度之計算是根據蝕刻速率的百分比變化，常會引用一整片晶片甚至是晶片與晶片間之資料。選擇性 (selectivity) 則定義為不同材料之蝕刻速率的比，例如光阻或其下層相對於欲蝕刻之薄膜層的蝕刻速率。若我們說一特殊之製程對於多晶矽及氧化層具有選擇性 20 比 1，即意指多晶矽之蝕刻速率較氧化層快 20 倍。

底切 (undercut) 指的是光阻遮罩下方之側向蝕刻的程度，可以用兩種型式來表示。第一種為每邊之側向蝕刻距離。例如，一個特殊的蝕刻製程可能會使  $1.0 \mu\text{m}$  寬的光阻線對應之蝕刻後的圖案線寬為  $0.8 \mu\text{m}$ ，此時我們說蝕刻偏移為每邊  $0.1 \mu\text{m}$ 。如圖 2.23 所示，蝕刻側壁並非總是垂直的，因此側向蝕刻的量與量測之方法有關。對於此種線，大部分電學上的量測與其橫截面有關，因此由電學上之量測值可得到平均的側向蝕刻值。如果蝕刻製程會攻擊光阻圖案，則將會貢獻另一蝕刻偏移，某些製程其設計時的想法即是利用此觀念。然而，現在我們假設光阻遮罩於蝕刻期間不受影響。第二個描述底切的方法為引用蝕刻之非等向性 (anisotropy)。非等向性可表示如下：

$$A = 1 - \frac{R_L}{R_V} \quad (2.62)$$

其中  $R_L$  及  $R_V$  為側向及垂直方向之蝕刻速率。如果某一製程之側向蝕刻速率為零，則稱其為完美地非等向性 ( $A = 1$ )。另一方面，若  $A = 0$ ，則表示側向及垂直方向之蝕刻速率是相同的。

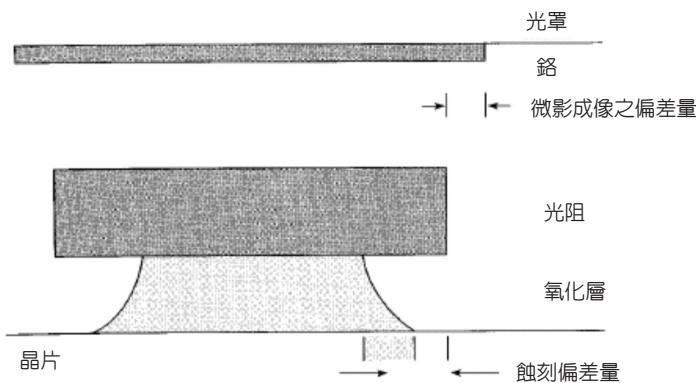


圖 2.23

顯示出蝕刻偏差量之典型的等向性蝕刻製程。

之前介紹的各種度量法均可定量地表示，但仍有其他一些度量法較難以量化。第一個是基板毀損。例如，已有文獻指出於某些電漿蝕刻之後， $p-n$  接面的表現會退化，退化的程度與蝕刻製程及接面之深度及型式均有關。最後一點則是蝕刻製程對於操作員及環境而言均需是安全的。特別是以氯為主的電漿，由於會產生危險的副產品，因此於排放至空氣中之前必須先將其中和。許多這一代的電漿蝕刻製程是以氟氯烷為主，目前已知會對環境產生不良的影響。因此，研究取代這些蝕刻的方法，一直是蝕刻製程的研究領域之一。

蝕刻可以利用物理破壞、化學攻擊或兩者之組合來完成。可以定義出一個描述蝕刻製程範圍之蝕刻機制的刻度軸。以離子束磨削 (ion beam milling) 為例，是於壓力極低之反應室內，利用高能量的惰性原子束，使得離子之平均自由路徑遠大於反應室之直徑，此為純

物理性蝕刻之極限。這些製程之特點為高度的非等向性，但蝕刻之速率幾乎與基板的材料無關，因此離子束磨削之選擇性接近 1。濕蝕刻則處於無物理攻擊之範圍的另一個極端，此種製程的特點為非等向性低，但是可能具有高選擇性。

濕蝕刻為一種純化學的製程，可能具有下列的嚴重缺點：缺乏非等向性、製程之控制差以及過度的粒子污染。然而濕蝕刻可具有高度的選擇性，且通常不會損傷到基板，因此雖然此製程之使用度已大不如前，但目前仍廣泛地應用於較不關鍵的地方。讀者可以很容易地從其他文獻查到濕蝕刻方面完整的介紹<sup>(47)</sup>。

因為蝕刻溶液內通常存在活性物種，所以濕化學蝕刻由三種過程所組成：移動蝕刻物種至晶片之表面，與暴露出來的薄膜起化學反應而產生溶解性的副產物，以及將反應之產物由晶片表面移除。因為這三個步驟都必須進行，其中最慢的一個步驟稱為速率限制步驟 (rate limiting step)，會決定整個蝕刻的速率。因為通常希望可達到一個大的、均勻的及可良好控制的蝕刻速率，所以通常會以某種方式擾動濕蝕刻溶液，以幫助蝕刻物種移動至晶片表面，並將蝕刻產物移除。有些濕蝕刻製程是連續地噴酸以確保蝕刻物種之新鮮，但是此具有產生大量化學廢棄物之缺點。

對於大部分的濕蝕刻製程而言，被蝕刻掉的薄膜並不會直接溶解於蝕刻溶液中，通常必須將欲蝕刻之材料從固體改變成液體或氣體。如果蝕刻製程會產生氣體，該氣體會形成氣泡，妨礙新的蝕刻液移動至晶片表面。因為氣泡的產生是無法預測的，因此這是一個極嚴重的問題，此問題於圖案之邊緣最為顯著。於濕化學槽內進行攪拌除了可幫助新的蝕刻液移動至晶片表面外，亦可降低氣泡附著於晶片上之能力。然而，即使於氣泡不存在之情況下，由於不易移除所有的蝕刻產物之故，小的特徵尺寸之蝕刻速率可能會慢很多，此現象經證實是與陷阱體之微觀氣泡有關。濕蝕刻製程的另一個常見的問題為未偵測到的光阻殘留，這發生於顯影過程時，部分已曝光的光阻沒有完全移除之情況。常見之原因為不正確或不完全的曝光，以及圖案未經充分的顯影。由於光阻與下方層次之間具高選擇性，所以即使是極薄的光阻層殘留，亦足以完全阻擋濕蝕刻製程的進行。

過去幾年來，濕蝕刻製程有顯著的進步，使得其享有某種程度的再生。所發展的自動化濕蝕刻工作台，使得操作員可精準的控制蝕刻時間、蝕刻槽溫度、攪拌程度、槽內的化學組成以及噴灑蝕刻時噴霧的濃度。增加過濾的程序，即使是對於極具侵略性之化合物，亦有助於控制粒子沉積方面的疑慮。然而，雖然已經有了這些改善，對於大部分小於 2 微米之特徵尺寸而言，濕蝕刻仍不被視為是一種實用的方法。

最常見的蝕刻製程之一為利用稀釋的氫氟酸溶液 (HF) 蝕刻二氧化矽 ( $\text{SiO}_2$ )。常見之蝕刻液為 6 : 1、10 : 1 及 20 : 1，意即 6、10 或 20 份體積的水配上 1 份體積的氫氟酸。6 : 1 的氫氟酸溶液對於熱成長的二氧化矽之蝕刻速率約為  $1200 \text{ \AA}/\text{min}$ ，而沉積之氧化層的蝕刻速率則比熱成長之氧化層快許多。由沉積薄膜與熱成長之氧化層於氫氟酸中蝕刻速率的比值可推得氧化層之密度。因蝕刻速率會隨著摻質濃度的增加而增加，所以例如磷矽玻璃 (PSG) 及硼磷矽玻璃 (BPSG) 等其蝕刻速率會大於無摻雜之氧化層。氫氟酸對於氧化層及矽

之間的選擇性相當高<sup>(38)</sup>，因為水會慢慢地氧化矽晶片的表面，而氫氟酸會蝕刻此氧化層，導致某些矽的損失。氫氟酸對於氧化層及矽之蝕刻選擇性通常大於 100 : 1，然而氧化層於氫氟酸溶液中的濕蝕刻是完全等向性的。

精確的反應機制是複雜的，且與離子之強度、溶液的 pH 值及蝕刻溶液有關。蝕刻二氧化矽之全反應為



因為此反應會消耗氫氟酸，所以反應速率會隨時間而變小。為了避免發生此種情況，通常會採用含有如氟化氨 ( $\text{NH}_4\text{F}$ ) 之緩衝劑 (BHF) 的氫氟酸，經由下列的分解反應



使得氫氟酸之濃度保持為一常數，其中氨 ( $\text{NH}_3$ ) 為氣體。緩衝劑亦可控制蝕刻溶液之 pH 值，使得光阻所受之侵襲最小。

化學機械研磨 (chemical mechanical polishing, CMP) 為達到全晶片平坦化的一種方法。這些設備的銷售從 1990 年至 1994 年增加了三倍，而從 1994 年至 1997 年則增加了超過四倍。雖然 CMP 當初發展之目標是為了解決金屬連接線平坦化的問題，現在亦被應用於如元件隔離等前段製程。於最早期的此種製程中，最常見的是先於表面上鋪一層厚的介電層，通常是一層旋加層 (spin-on) 或 CVD 玻璃，之後將晶片置於包含膠狀之二氧化矽 (包含有研磨作用的二氧化矽粒子之懸浮體) 的鹼性泥漿以及如稀釋之氫氟酸的蝕刻液中做機械研磨。氫氧化鉀 (KOH) 及氨水 ( $\text{NH}_4\text{OH}$ ) 為此懸浮體常見的矩陣溶液。通常會將 pH 值保持於 10 附近，使得二氧化矽微粒可以保持帶負電，以避免形成大的膠體網路。有時會採用一 pH 值緩衝劑，以確保製程之穩定度。文獻上報導的微粒大小係介於 0.03 至 0.14 微米之間，至於採用何種尺寸，則與所希望之移除速率有關。典型的粒子大小約 0.05 微米，其會凝聚而形成直徑約 0.25 微米的團。泥漿中的固體含量保持在 12–30%。

CMP 製程之目標是要達到一完全平坦、無刮傷及污染的表面。橫穿之機械毀損可以由以下的事實來防止，亦即泥漿中所採用之二氧化矽的微粒並不會比欲研磨之薄膜堅硬。CMP 晶片之表面角約  $1^\circ$ ，而回流之玻璃 (reflow glass) 約  $10^\circ$ ，由於形成了平滑的表面，CMP 晶片之金屬縱樑及開口等通常形成於晶片邊緣，而起伏較大處之缺陷會少很多。CMP 之後所能得到的平穩度，可以用赫茲穿透深度 (Hertzian penetration depth) 來近似： $R_s = (3/4)(\phi P/2K_p E)$ ，其中  $\phi$  為研磨粒子之直徑， $P$  為研磨壓力， $E$  為被研磨之材料的楊氏係數， $K_p$  為與微粒之密度有關的一個常數。對於一緊密堆疊之材料， $K_p = 1$ 。於  $\phi = 100 \text{ nm}$ 、 $K_p = 0.5$ 、壓力 1.5 MPa 以及  $R_s$  約 0.3 nm 之條件下，以二氧化矽微粒研磨矽晶片，則此系統應可獲致一平滑的表面，但是實際上並非總是如此。

移除之速率為研磨墊的壓力以及研磨墊和晶片間相對速度 (由普勒斯頓方程式 (Preston's equation) 決定) 之乘積的函數，二氧化矽典型的移除速率為每分鐘數千埃。一般相信，移除的機制是由於形成了一表面含水的矽酸鹽層，其與研磨墊接觸之後會被磨除，此層之形成與深度會隨著壓力的增加而增加。表 2.8 中列出了一些典型的 CMP 製程參數。增加研磨墊的壓力會線性地增加移除的速率，但是通常會增加被研磨之特徵物的階梯高度比，以及增加殘留的氧化層毀損和表面層的金屬污染。

表 2.8 氧化層平坦化的典型 CMP 製程參數及結果。

參數	結果
熱氧化層之移除速率	600–800 Å/min
沉積之氧化層的移除速率	1000–1500 Å/min
研磨時間	~ 10 min
研磨墊上之壓力	6 psi
研磨墊之轉速	10 rpm
晶片之轉速	12 rpm

CMP 亦被推展至如銅及鎢等金屬之平坦化。通常會採用酸性的 ( $\text{pH} < 3$ ) 泥漿進行金屬之平坦化，這些泥漿並不會形成膠狀的懸浮體，所以必須有一些攪拌的動作以保持均勻度。鎢的 CMP 最常採用之研磨劑為氧化鋁，因為與其他的研磨劑比起來，其硬度與鎢較接近。鎢的去除是利用連續之鎢表面的自我限制氧化，以及隨後的機械研磨。泥漿會形成一含水之鎢的氧化層，其會被直徑約 200 奈米的氧化鋁微粒選擇性地移除。實驗結果顯示，對於典型的 CVD 鎢，移除速率會隨著薄膜的變薄而增加，這與鎢粒大小的改變有關。通常鎢的 CMP 製程最佳化之方向為鎢對二氧化矽之蝕刻選擇比大的方向，一般而言，可達到約 30 的選擇比。

由於銅具低電阻值之特性，且於電漿中極難蝕刻銅，因此銅的化學機械研磨特別令人感興趣，也因此銅可以利用一種稱為刻花紋製程 (damascene processing) 之 CMP 技術來定義圖案。銅於一含水的 (包含直徑數百奈米之微粒) 溶液中被研磨，典型的泥漿包含氫氧化鋁、硝酸及過氧化氫。曾有文獻報導高達 1600 nm/min 的研磨速率。銅為一種軟金屬 (soft metal)，此點與鎢不同。力學效應對於研磨過程有較大的影響，實驗發現研磨速率正比於外加壓力以及相對之線性速度。此外，研磨墊之條件以及壓力施加之機制對於銅的 CMP 特別重要。

因為 CMP 製程通常不會有任何製程終止的指示物，所以必須發展具有極高選擇比的製程，或者努力於極具重複性的移除速率。研磨墊之條件為移除速率的主要決定者，因為墊的多孔性決定泥漿到達晶片表面之速率。製程進行了數次之後，研磨墊表面會傾向於變光

滑，因此會使研磨速率變慢。此問題的解決方法通常與研磨墊的條件有關，以得到一致的粗糙度。然而這必須與缺陷密度妥協，因為如果處理研磨墊後立刻進行研磨，則 CMP 之後的晶片通常會顯示粒子數的大量增加。

與濕蝕刻相比，於電漿環境中的蝕刻有幾項重要的優點。電漿比簡單的浸泡濕蝕刻更容易開始及結束，此外，電漿蝕刻製程對於晶片上小的溫度變化較不敏感，這兩個因素使得電漿蝕刻之重複性比濕蝕刻大得多。電漿蝕刻可以調整至具高度的非等向性，這對於小的特徵尺寸而言特別重要。電漿環境之微粒數亦可能較液體環境少很多。最後，電漿製程所產生之化學廢棄物較濕蝕刻少。

目前已存在許多具各種不同物理及化學性攻擊的乾蝕刻製程，表 2.9 列出了一些最常見的蝕刻化學品。很清楚地，完整地介紹這個主題是相當複雜及冗長的，接下來將只介紹這些製程一些代表性的例子。

表 2.9 典型的蝕刻化學品<sup>(39)</sup>。

被蝕刻物質	蝕刻化學品
矽	CF <sub>4</sub> /O <sub>2</sub> , CF <sub>2</sub> Cl <sub>2</sub> , CF <sub>3</sub> Cl, SF <sub>6</sub> /O <sub>2</sub> /Cl <sub>2</sub> , Cl <sub>2</sub> /H <sub>2</sub> /C <sub>2</sub> F <sub>6</sub> /CCl <sub>4</sub> , C <sub>2</sub> ClF <sub>5</sub> /O <sub>2</sub> , Br <sub>2</sub> , SiF <sub>4</sub> /O <sub>2</sub> , NF <sub>3</sub> , ClF <sub>3</sub> , CCl <sub>4</sub> , CCl <sub>3</sub> F <sub>5</sub> , C <sub>2</sub> ClF <sub>5</sub> /SF <sub>6</sub> , C <sub>2</sub> F <sub>6</sub> /CF <sub>3</sub> Cl, CF <sub>3</sub> Cl/Br <sub>2</sub>
二氧化矽	CF <sub>4</sub> /H <sub>2</sub> , C <sub>2</sub> F <sub>6</sub> , C <sub>3</sub> F <sub>8</sub> , CHF <sub>3</sub> /O <sub>2</sub>
氮化矽	CF <sub>4</sub> /O <sub>2</sub> /H <sub>2</sub> , C <sub>2</sub> F <sub>6</sub> , C <sub>3</sub> F <sub>8</sub> , CHF <sub>3</sub>
有機物	O <sub>2</sub> , CF <sub>4</sub> /O <sub>2</sub> , SF <sub>6</sub> /O <sub>2</sub>
鋁	BCl <sub>3</sub> , BCl <sub>3</sub> /Cl <sub>2</sub> , CCl <sub>4</sub> /Cl <sub>2</sub> /BCl <sub>3</sub> , SiCl <sub>4</sub> /Cl <sub>2</sub>
金屬矽化物	CF <sub>4</sub> /O <sub>2</sub> , NF <sub>3</sub> , SF <sub>6</sub> /Cl <sub>2</sub> , CF <sub>4</sub> /Cl <sub>2</sub>
耐高溫材料	CF <sub>4</sub> /O <sub>2</sub> , NF <sub>3</sub> /H <sub>2</sub> , SF <sub>6</sub> /O <sub>2</sub>
砷化鎵	BCl <sub>3</sub> /Ar, Cl <sub>2</sub> /O <sub>2</sub> /H <sub>2</sub> , CCl <sub>2</sub> F <sub>2</sub> /O <sub>2</sub> /Ar/He, H <sub>2</sub> , CH <sub>4</sub> /H <sub>2</sub> , CClH <sub>3</sub> /H <sub>2</sub>
磷化銻	CH <sub>4</sub> /H <sub>2</sub> , C <sub>2</sub> H <sub>6</sub> /H <sub>2</sub> , Cl <sub>2</sub> /Ar
金	C <sub>2</sub> Cl <sub>2</sub> F <sub>4</sub> , Cl <sub>2</sub> , CClF <sub>3</sub>

電漿蝕刻製程之進行，必包含下述六個步驟。首先，供應至反應室中的氣體必須被電漿破壞成化學上的活性物種，這些物種必須擴散至晶片的表面並被吸附。一旦這些物種存在於晶片的表面上，則可能會在晶片表面上移動(表面擴散)直到與暴露出來的薄膜起反應。反應後的產物必須要解除吸附並從晶片表面擴散離開，再以氣體流運離蝕刻反應室。與濕蝕刻過程相似，蝕刻速率由這些步驟中最慢的一個來決定。

IC 製程中最早的電漿蝕刻設備出現於 1970 年代初期，當時是以高壓力、低功率的電漿為主，所以電漿中物種的平均自由路徑遠小於反應室之尺寸。此一製程中的電漿是用來啟動及終止化學反應或蝕刻，而這是利用鈍氣作先驅所產生的活性物來達成的。因為電漿中離子的能量相當低，因此蝕刻過程主要與電漿化學相關。

電漿化學相當的複雜，從一個標準系統開始來了解輝光放電之化學是有用的，四氟化碳 (CF<sub>4</sub>) 所產生的電漿蝕刻化學是最被廣泛討論的。假設於一反應室內建立一四氟化碳氣體流，且壓力保持於 500 mTorr (高壓電漿)，具光阻遮罩的矽晶片與電漿相接觸，此製程之目的是蝕刻矽基板，這並非意味著高壓下僅有四氟化碳或含氟電漿，高壓電漿亦可採用氟或其他物種，只是氟較常用而已。基於相同的理由，含氟物種有時候亦用於低壓反應離子蝕刻。

與高壓電漿蝕刻相比，離子轟擊為蝕刻製程範圍的另一個極端情況。因為純離子轟擊或離子束蝕刻採用氬氣等，所以未牽涉到與蝕刻物種之化學反應。這是一個全然的力學製程，與噴沙相類似，有時稱為微機械加工 (micromachining)。此種蝕刻製程之物理與濺鍍是完全類似的。與高壓電漿相比，離子轟擊有兩個重要的優點：方向性及適用性。侵蝕之方向性是由於束中的離子是以一強的垂直電場來加速，且反應室之壓力極低，原子之碰撞極不可能，因此當這些離子撞擊在晶片表面時，其速度幾乎是完全垂直的。對於許多材料而言，因為與化學無關，所以非等向性之蝕刻是有可能的。離子轟擊的第二個好處為可用於形成許多材料之圖案，包括化合物及合金，甚至是無適當揮發性的蝕刻產物。各種靶材間蝕刻速率的變化不會大於三倍，因此離子轟擊常用於定義鈣鋇銅氧 (YBaCuO)、砷化銻鉛鎳及其他三元與四元系統。

離子轟擊可定義廣泛之材料圖案的能力，亦是其最嚴重的缺點之一。除非於製程中加入另一個化學成分，否則此製程對於光阻及其下方之薄膜的選擇比一般而言將接近 1:1。離子轟擊的另一個缺點為產量低。大部分的離子源之直徑不會大於 200 mm，因此對於大面積的矽晶片而言，離子轟擊是一次一晶片的製程。若再加上低蝕刻速率以及高真空之需求，則對於以矽為基礎之技術的量產而言，離子轟擊是不實際的。然而對於 III-V 族技術而言，由於晶片尺寸較小以及每批貨的晶片數較少，使得離子轟擊的可行性大增。

因為對於具有比離子轟擊所能達到的選擇性高很多之非等向性蝕刻的強烈需求，所以導致反應離子蝕刻 (reactive ion etching, RIE) 之發展。因為離子並非此製程中的主要蝕刻物種，所以 RIE 這名字有點不妥。雖然較常以 RIE (唸作 R I E 或 rye) 稱呼，但是有時候會使用離子輔助蝕刻 (ion-assisted etching) 這個較適當的名稱。

常用的 RIE 系統與高壓電漿蝕刻機台不同，晶片是位於產生動力的電極上。於平行板反應器中，中性電極被設計成與反應器之內壁相連接，以增大其有效面積，於此六面形反應室 (hexode)，中性電極即為反應器之內壁。此種配置之作用是要增加電漿與產生動力之電極間的電位差，因而增加離子撞擊之能量。為了使此種平行板配置有效果，電漿必須與反應器之內壁相接觸。當壓力增大時 (大於 1 Torr)，電漿會收縮，因此與內壁之間失去接觸。然而 RIE 是於低壓電漿之環境中進行的，電漿中的平均自由路徑至少是毫米級的。於此種境界，電漿與內壁間可保持良好的碰觸，使得電漿與產生動力之電極間出現大的電位差。

以氟為基礎的電漿常用於非等向性地蝕刻矽、砷化鎳及以鋁為基礎之金屬。含氟的先驅動，如 CCl<sub>4</sub>、BCl<sub>3</sub> 及 Cl<sub>2</sub> 等，雖然具有腐蝕性，但卻具高蒸氣壓，且與可類比的溴化物



或碘化物相比，先驅物及蝕刻產物兩者均較容易處理。於 RIE 情況下亦可採用含氟的電漿。

於氟的 RIE 中發展對矽之非等向性蝕刻的基本瞭解，相對上是較容易的。於無離子撞擊之  $\text{Cl}$  及  $\text{Cl}_2$  的環境下，未摻雜之矽的蝕刻非常慢。然而，無離子撞擊之含  $\text{Cl}$  的環境對於高摻雜的  $n$  型矽或多晶矽之自發性蝕刻速率相當高，但是於含  $\text{Cl}_2$  的環境則不然。摻質增強的效果可高達 25 倍，其與薄膜中的載子濃度相關，而與摻質本身之化學關係不大。此非常顯著之摻雜效應暗示著氟蝕刻製程涉及來自基板的電子轉移。所發展之模型係假設於一含氟的電漿中，氟原子是以化學方式吸附於矽表面上，不會打斷其下方之矽—矽鍵結，而硬脂性的阻礙物會阻礙更多氟原子之吸收。然而，一旦表面的氟變成帶負電，則可與基板間作離子性之鍵結。這會釋放出額外之化學性吸附的位置，且大大地增進氟原子穿透表面產生揮發性之氟矽化物的機率。

反應離子蝕刻的限制之一為蝕刻後於基板上所留下的殘留毀損。RIE 中典型的離子流量為能量 300 至 700 eV 之  $10^{15}$  ion/cm<sup>2</sup>，而基板毀損及化學污染兩者均為嚴重的問題。於聚合作用蝕刻中，後者是特別需要擔心的，目前已知其會留下殘留物的薄膜。而氣相粒子之沉積亦是一個嚴重的問題。此外，由於電極、反應室及設備與電漿之相互接觸所造成的濺鍍，使得蝕刻之後，我們常常可於晶片表面發現包括鐵、鎳、鈉、鉻、鉀及鋅等金屬摻質。被發展來去除這些摻質的技術包括氧電漿處理加上濕式酸槽潔淨，以及氫電漿處理，這些蝕刻後處理之缺點為製程的複雜度提高。

RIE 的第二類問題為物理毀損及摻質之驅入。經過一含碳之 RIE 的典型蝕刻之後，晶片表面 30 Å 內為高度損毀且具有廣泛的矽—碳鍵濃度，而大的毀損可深達 300 Å 厚。於一含氫的環境下所作的 RIE 製程，亦有可用電學方式觀測到深達 400 Å 的矽—氫缺陷，且其相當難以去除。實際上，氫可以穿透矽表面至數微米深，使基板中的摻質非活性化。去除此種毀損需要進行初始潔淨加上溫度大於 800 °C 之退火。設計不具含氫物種的 RIE 製程亦是可能的。

最先被採用的高密度電漿系統是作蝕刻用的。高密度源利用交叉的電場及磁場，使得自由電子於電漿中的行進距離可以大幅增加，因此與操作於相同壓力下簡單的二極體電漿比較，分解及游離的速率會增加。高密度之離子及自由基 (radical) 可用於增加蝕刻速率，或者，其可以與其他的優點之間作妥協。例如於極低的壓力下，可以得到可接受之離子及自由基的密度，這使得包含晶片的電極與離子密度之間的偏壓可以退耦。於高密度電漿 (high density plasma, HDP) 蝕刻系統中，通常是將供給功率之電極附著於第二個 RF 源以達到此目的。由於低壓時系統中的平均自由路徑長，10—30 伏特之基板偏壓通常足以產生非等向性的蝕刻，此低的能量意味著靈敏度大以及殘留毀損低。這對於下列之製程極為有用：往下蝕刻至極薄的層 (如 CMOS 之閘極蝕刻)、往下蝕刻接點至極薄的接面，以及往下蝕刻至主動層 (如雙多晶矽雙載子製程之多晶矽蝕刻)。此外，於較低之壓力下蝕刻，可以確保較垂直的離子入射，因此對於高深寬比之特徵尺寸而言，蝕刻速率之降低較少。此效應有時候稱為微負載 (microloading)。HDP 源可以提供高濃度的低能離子，以確保一可接受

的蝕刻速率。HDP 蝕刻的一個缺點為高離子流會使得懸浮之結構 (例如 MOS 之閘極) 過度地荷電，由於殘留之蝕刻毀損，這將導致閘極絕緣層上有過多的漏電流。

## 2.3 薄膜

前兩節中討論了關於氧化層之成長、擴散摻質，以及利用微影及蝕刻轉移圖案之製程，這些都是製造積體電路的主要製程。本節將討論可用來沉積薄膜的製程。因為晶片表面上方所有的層次都是利用沉積的方式疊加上去的，因此沉積是相當重要的製程。一般而言，沉積金屬之技術是物理性的，亦即未牽涉到任何化學反應，而沉積半導體及絕緣層之製程通常涉及到化學反應。然而此種區分法目前正逐漸改變之中，金屬的化學沉積為目前正在發展中的領域之一。

本節將從主要應用於製造 III-V 族之蒸鍍的物理製程開始，蒸鍍之薄膜無法覆蓋晶片表面上突然的階梯變化以及其他嚴重的表面高低差變化。因為許多 III-V 族技術是利用剝離 (lift-off) 的方式定義圖案，因此蒸鍍極適用於此種製程。此外，本文將介紹第二種物理沉積製程：濺鍍。濺鍍目前已廣泛地應用於矽技術中，利用濺鍍方式可以沉積許多種的合金及化合物，且其對於表面的高低變化具有不錯的覆蓋能力。化學氣相沉積之表面高低變化的覆蓋能力較佳，且其對於基板之毀損亦較小。由於每一製程之化學機制均是獨特的，本文將介紹數種代表性材料的沉積。

本文亦將介紹發展於具原子層級厚度之控制能力的磊晶層成長。這些製程主要應用於 III-V 族技術，其中之一的分子束磊晶基本上是簡單蒸鍍的一種延伸，而 MOCVD 則為利用有機金屬源之較低成長溫度的一種化學氣相沉積的延伸。

### 2.3.1 物理沉積：蒸鍍及濺鍍

所有早期半導體技術的金屬層均是利用蒸鍍的方式沉積。雖然目前蒸鍍仍廣泛應用於研究及 III-V 族技術，但是基於以下兩個理由，於大部分的矽技術中，蒸鍍已為濺鍍所取代。首先是表面輪廓覆蓋，亦稱為階梯覆蓋 (step coverage) 之能力。隨著積體電路橫向尺寸的縮小，許多層次的厚度仍舊保持不變，因此金屬必須覆蓋之輪廓變得較為嚴苛。蒸鍍的薄膜對於這些結構的覆蓋能力極差，通常於垂直壁上是不連續的，利用蒸鍍的方式亦難以產生控制良好的合金。因為許多現代的矽技術是利用合金以形成可靠度佳的接點及／或金屬線，所以於量產的矽技術環境中，是不太可能利用蒸鍍技術的。有些 III-V 族技術則是利用蒸鍍之階梯覆蓋不佳的特點，亦即將薄膜沉積於定義好的光阻層上方，而非沉積並蝕刻金屬層。薄膜傾向於在光阻層的邊緣處斷裂，所以隨著之後光阻溶解於顯影液中，光阻上方的薄膜層可以輕易地離開晶片。這些技術利用的是不同金屬的薄膜層，而非試著去形成合金。此種金屬層的堆疊不容易蝕刻，但是此問題可以用剝離的方式解決。

圖 2.24 為一簡單的蒸鍍機。晶片是載入一個通常利用擴散幫浦或低溫幫浦抽氣的高真空反應室中，擴散幫浦系統通常有一可防止幫浦油之蒸氣回流至反應室中的冷捕捉機。欲沉積之材料則載入稱為坩堝 (crucible) 的加熱容器中，利用一嵌入式的阻抗加熱器及一外部的電源供應器，可以很容易地對其加熱。坩堝內的材料受熱之後，會以蒸氣的型式揮發。由於反應室內之壓力遠低於 1 mTorr，反應室內之蒸氣原子會以直線方式行進，直至撞擊於晶片之表面疊積為一薄膜。蒸鍍系統可包含多達四個坩堝，使得在不破真空之情況下，即可沉積多層膜，且於坩堝上方的架構中可容納高達 24 片懸空的晶片。此外，亦可同時操作數個坩堝，以形成所要之合金。於坩堝上方可採用機械式的開關葉片，以輔助突然地開啟及終止沉積製程。

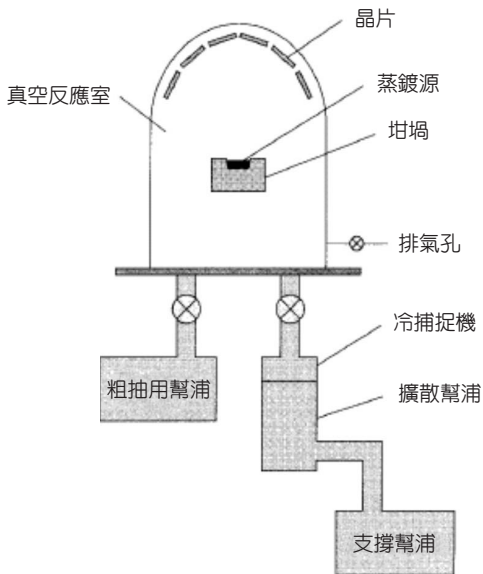


圖 2.24 顯示包含蒸鍍源之坩堝及晶片位置的簡單擴散幫浦蒸鍍機。

如之前所提及，蒸鍍的主要限制之一為階梯覆蓋的能力。圖 2.25 為一蒸鍍於一個階梯上之薄膜的幾何示意圖，於此例中，此階梯為蝕穿絕緣層並停在基板上之一個接點的橫截面圖。於約 1 微米距離之尺度內，入射材料束可視為是非散射性的。假設入射原子於晶片表面是靜止的，則輪廓將投射出定義良好的陰影區，使得薄膜通常會於接點的某一端呈現不連續。隨著沉積過程之進行，絕緣層頂部所成長的薄膜會使得階梯變得更高。因為金屬層為此製程的最後幾個步驟，除非採用某些平坦化的技術，否則所疊積的表面輪廓可能相當差。藉由將晶片的指向作最佳化，可以達成一些有限的改善<sup>(40)</sup>。

改善階梯覆蓋一個常用的方法為轉動位於蒸鍍束內的晶片，因此，用於支撐蒸鍍機內晶片的半球形裝置設計成可於蒸鍍機內之頂部移動晶片。雖然側壁的沉積速率仍少於平

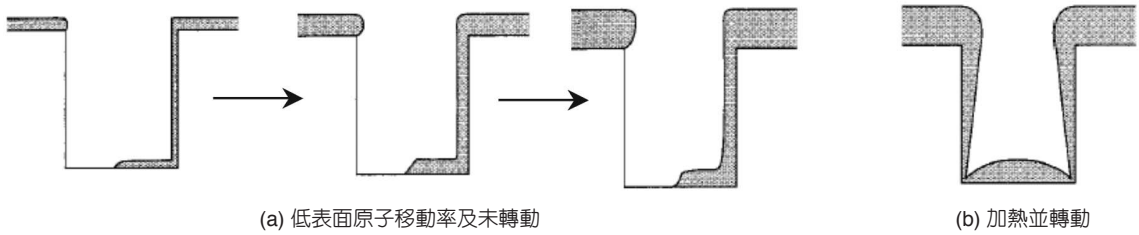


圖 2.25 (a) 表面原子移動率低(意即低的基板溫度)及未轉動之情形下一個深寬比 1.0 的洞其蒸鍍外層隨時間變化的情況，(b) 於轉動及加熱之基板上最後的沉積薄膜輪廓。

坦表面之速率，但卻是軸向均勻的。接點之深寬比 (aspect ratio) 定義為

$$AR = \frac{\text{階梯高度}}{\text{接點直徑}} \quad (2.65)$$

標準的蒸鍍無法於深寬比大於 1.0 的特徵結構上形成連續的薄膜，而對於深寬比介於 0.5 至 1.0 的結構則有不連續的風險。

改善階梯覆蓋的第二種方法為加熱晶片。許多的蒸鍍機利用行星狀放置晶片的裝置 (planetaries) 其後方一組紅外光燈或低強度的耐高溫金屬線圈以達成此目的。到達晶片的原子於化學性地鍵結並成為成長之薄膜的一部分之前會先擴散過晶片的表面，當陰影情況導致濃度梯度產生時，其隨機運動會導致材料的淨移動，使其進入低速率沉積區。可以定義一個遵從亞倫尼斯 (Arrhenius) 函數的表面擴散係數：

$$D_s = D_0 e^{E_a/kT} \quad (2.66)$$

因表面活化能遠較體擴散係數之活化能小，所以於攝氏幾百度時可發生大的擴散現象。如果合併之前的平均時間為  $\tau$ ，則特徵之表面擴散長度為

$$L_s = \sqrt{D_s \tau} \quad (2.67)$$

由於  $D_s$  與溫度呈指數相關，於室溫之上加熱晶片會使得  $L_s$  之值大增， $L_s$  遠大於晶片上令人感興趣之特徵尺寸是相當合理的。目前已有許多的團隊證實了可利用此技術填補高深寬比的結構<sup>(41)</sup>。將加熱基板技術應用至合金的沉積時，組成原子之表面擴散係數可能相當不同，這會是一項隱憂，因此接點底部之薄膜組成與結構頂部之薄膜組成可能不同。基板溫度增加的第二個隱憂為薄膜表面形態會受到影響，通常是導致顆粒較大。於沉積之後，利用離子束使得沉積重新分布可避免此問題。離子撞擊於蒸鍍薄膜之表面並轉移能量予它。

薄膜內之原子可以利用擴散或者濺鍍的方式重新分布，然而只有極少數的蒸鍍機配置有此項功能。因此，一般而言，蒸鍍並不具有獨立控制表面形態及階梯覆蓋的能力。

目前有三類的坩堝加熱系統：阻抗式的、電感式的及電子束系統，其中阻抗式的加熱系統是最簡單的。利用一個具備功率傳輸的高真空反應室，即可建構一個簡單而僅具有一小線圈及一簡單可變變壓器的蒸鍍機。此系統中的蒸鍍材料為一個置於受熱裝置上小的棒狀固體，如圖 2.26(a) 所示，可調整輸入功率以防止蒸鍍材料熔化及漏至線圈上。圖 2.26(b) 為較實際的配置，其中欲蒸鍍之材料包含於一利用電阻式加熱系統的坩堝中。

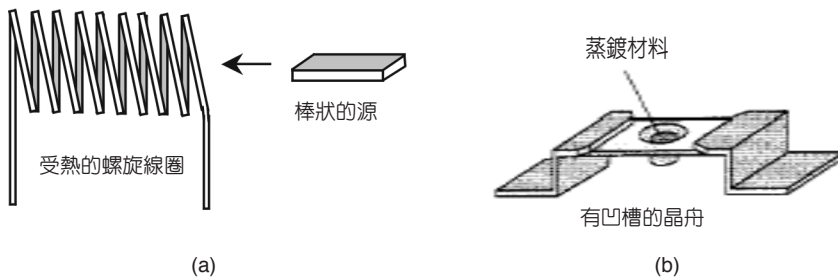


圖 2.26 電阻式的蒸鍍機加熱源。(a) 包含加熱蒸鍍材料本身及利用耐高溫之金屬加熱器線圈及棒狀之蒸鍍材料的簡單加熱源；(b) 於阻抗性介質中包括具有凹槽之晶舟的較標準熱源。

因為燈絲線圈必定至少與欲蒸鍍之材料一樣熱，所以阻抗式加熱坩堝的問題之一為來自線圈的蒸鍍及氣體外流 (outgassing)。如果欲蒸鍍如鋁等材料，僅需一般的功率輸入，即可得到適量的蒸氣壓力。另一方面，通常沒有適當的阻抗式加熱裝置可用於沉積耐高溫金屬，一個可達到至少一般蒸鍍材料溫度的方法是採用電感式加熱坩堝。如圖 2.27 所示，固體之蒸鍍材料通常置於氮化硼做成的坩堝內，坩堝周圍纏繞某種金屬材料製成之線圈，其在線圈上加上 RF 功率。RF 功率會感應漩渦狀的電流於蒸鍍材料上，使其變熱。可以用水冷的方式使線圈溫度保持於 100 °C 以下，以有效地消除任何來自線圈材料之損耗。

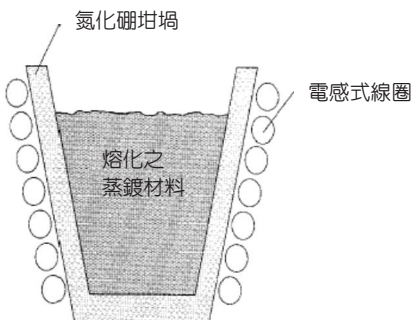


圖 2.27 用來產生適度蒸鍍材料溫度的電感式加熱坩堝實例。

雖然可以利用電感式的加熱方式使坩堝的溫度上升至足以蒸鍍耐高溫材料，但是來自於坩堝本身之蒸鍍所造成的污染仍然是一個嚴重的問題。此效應可以藉由僅加熱蒸鍍材料及冷卻坩堝而避免，達成此目的常用的方法為利用電子束 (e-beam) 蒸鍍。於大部分的電子束蒸鍍機中，坩堝下方的電子槍會噴射出高濃度且高能量的電子束。燈絲材料通常為鎢，其擺放的位置是著眼於使晶片表面之燈絲材料的沉積最小化。一強磁場可使電子束彎曲  $270^\circ$ ，使其入射於蒸鍍材料之表面。此電子束可以被偏折至蒸鍍材料處，使其表面大部分被熔化。之後，蒸鍍材料較熱的部分會被其較冷的部分有效地自我抑制。

由於電子束蒸鍍機具有容易沉積相當大範圍材料的能力，所以常應用於砷化鎵技術。當採用熱游離放射電子槍時，熱電子燈絲仍是反應室內的一種污染源，當於極高的真空度下操作這些系統時，必須特別注意電子槍之設計<sup>(42)</sup>。對於以矽為基礎之技術而言，有個更嚴重的問題為輻射毀損。此輻射是由於被蒸鍍的材料中，高度被激發的電子衰減回至核心能階所產生的。因為 X 光會毀損基板及介電質，所以除非之後的熱回火步驟足以去除掉毀損，否則電子束蒸鍍機無法應用於 MOS 或者其他對於此種毀損敏感的技術。因為電晶體通常會與 MOS 結構做隔離，所以即使是矽雙載子技術，對於此種毀損仍是敏感的。

即使一次只能蒸鍍一種材料，通常於蒸鍍機中有多重源是較方便的。此種配置允許不同材料的沉積，而不需要打開高真空反應室。對於電阻式的蒸鍍機而言，可利用高電流的切換盒，而每一樣本坩堝具有其自己的加熱線圈。電子束蒸鍍機之電子束可利用靜電位或者磁場的改變使其容易於小的蒸鍍材料間移位，所以特別適合於此種應用。另外一種方式是將不同的荷電材料置放於輪形裝置上，以機械的方式將想要蒸鍍的材料轉動至電子束照射之位置。

通常會想要使用合金及化合物作為沉積材料。圖 2.28 顯示三種利用蒸鍍沉積合金薄膜可能的的方法。利用一妥適準備的化合物靶材，僅僅蒸鍍具有極相似之蒸氣壓的材料是可能的，例如鋁及銅<sup>(43)</sup>。於某些應用中，例如砷化鎵歐姆接點之形成，因組成物種之蒸氣壓是合理地相近，所以合金組成之變化程度是可接受的。然而，如果我們將所希望之組成的鎢

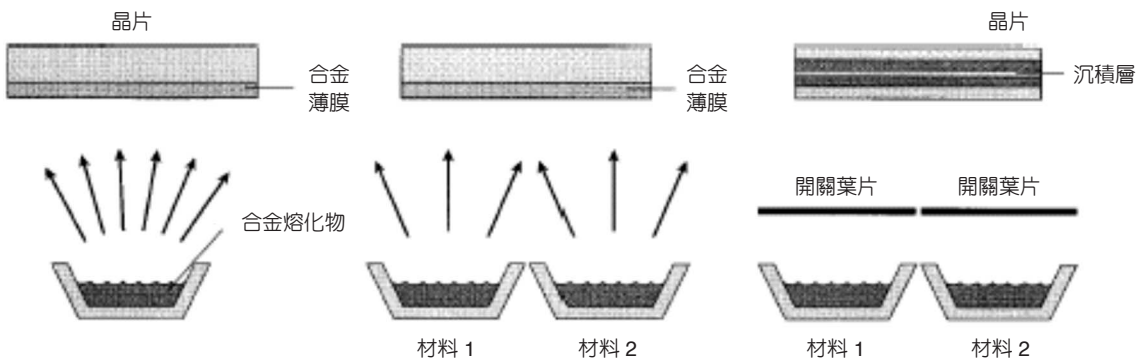


圖 2.28 蒸鍍多層膜的方法。(a) 單一源之蒸鍍，(b) 多種源同時蒸鍍，(c) 多種源循序蒸鍍。

化鈦 (TiW) 固體樣本置於坩堝中並蒸鍍它，則主要蒸鍍出來的材料也許不是鎢化鈦，而是其他某種鈦及鎢的組成。例如，於坩堝溫度 2500 °C 時，鈦的蒸氣壓約 1 Torr，而鎢的蒸氣壓僅  $3 \times 10^{-8}$  Torr。一開始出來的蒸氣幾乎是純鈦，而當蒸鍍造成剩餘且熔化之蒸鍍材料的組成改變時，蒸鍍薄膜之組成將緩慢變動。

對於微電子製造中之金屬薄膜的沉積而言，濺鍍為取代蒸鍍之主要方法。濺鍍發現於 1852 年，而於 1920 年代由雷蒙 (Langmuir) 發展為一薄膜之沉積技術。濺鍍之階梯覆蓋的效果較蒸鍍為佳，引起之輻射毀損遠較電子束蒸鍍為少，且製造化合物材料合金層之能力遠較蒸鍍優越。基於這些優點，使得濺鍍成為大部分以矽為基礎之金屬沉積技術的選擇。

如圖 2.29 所示的簡單濺鍍系統，其與一真空反應室內具有一平行板電漿反應器的簡單反應離子蝕刻系統極為相似。然而於濺鍍的應用中，電漿反應室必須配置成有高密度的離子撞擊於包含欲蒸鍍之材料的靶上。濺鍍時，靶材料，而不是晶片，必須置放於具最大離子通量的電極上。為了儘可能地多收集這些被逐出的原子，於一典型的濺鍍系統中，陽極與陰極是緊密相鄰的，通常相距小於 10 公分。通常利用惰性氣體供應此反應室所需之氣體壓力，且反應室內之氣體壓力保持約 0.1 Torr，使得對應之平均自由路徑數量級為數百微米。

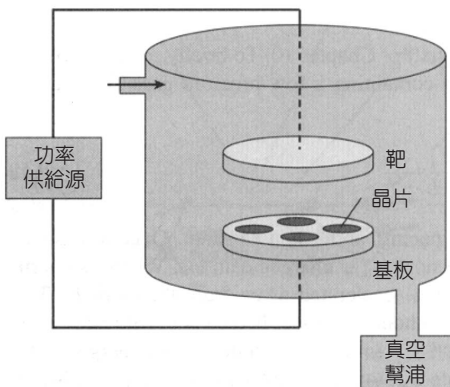


圖 2.29  
一個簡單的平行板濺鍍系統之反應室。

基於此製程之物理特性，濺鍍可用於沉積相當寬廣範圍的材料。於單一元素之金屬的情況中，通常使用簡單的直流濺鍍。當沉積如二氧化矽之絕緣材料時，則必須利用射頻電漿 (RF plasma)。如表 2.10 所示，如果靶材料為一合金或化合物時，則沉積之材料的化學計量與靶材料之間可能有些微的不同。然而文獻中報導，濺鍍良率較低之材料會疊積於靶之表面，直到沉積薄膜之組成與靶材之本體近似時為止。(而這僅適用於靶之溫度保持得夠低，足以防止固態擴散之發生。) 這使得濺鍍不僅是在元素材料上具有強烈的吸引力，於一極廣的材料範圍內亦是如此。

表 2.10 由複合之靶材料中濺鍍出來之鋁合金薄膜的組成。

鋁合金材料	靶	薄膜
矽	0.5%—1.0%	0.86%
矽	2%	2.8%
銅	3.9%—5.0%	3.81%
(鋁+矽) 矽	2%	2%±0.1%
(鋁+銅+矽) 矽	4%	3.4%

由於電子之移動率高於離子，所以 RF 電漿中所有暴露出來的表面，相對於電漿是呈現負電位。在典型的電漿系統中，大部分的電壓降落在靶電極，但是基板電極上的偏壓亦會導致晶片上離子的撞擊，此種撞擊會將材料從晶片表面除去，經由調整電極相對於電漿之直流偏壓可以控制此效應。此於微電子中有兩種主要的應用：濺鍍潔淨及偏壓濺鍍。低溫磊晶成長之薄膜沉積前，所有晶片表面污染物之去除曾經被廣泛地研究過，該主題將於後文中討論。本節將專注於潔淨之純物理方式的介紹：基板之濺鍍蝕刻。濺鍍沉積製程的典型應用實例為與高度摻雜之矽形成歐姆接點之金屬的沉積，這些接點被定義出來後是蝕穿一厚的二氧化矽絕緣層。將晶片載入濺鍍系統前，會立即將晶片浸入氫氟酸與水之混合溶液中 (1:100)，以去除於接點蝕刻後任何重新成長於矽上方之氧化層。這些晶片以去離子水清洗乾淨後，接著是旋乾，再直接載入真空系統中進行沉積。然而如此短暫地暴露於水洗及空氣中，會促使矽上方再成長一層薄且不規則的自然氧化層。為了得到可靠的低電阻接點，通常希望於金屬沉積前去除此極薄之氧化層。

將電的連接反向，則可從基板而非從靶上濺射出物質來。這通常是於沉積之前的一小段時間前進行，以從晶片表面去除自然氧化層以及任何殘留的污染物。然而濺鍍蝕刻存在嚴重的問題。從基板電極或是晶片之氧化層覆蓋的區域濺射出來的材料可能會沉積於表面上，而導致較多的污染。如果污染物中包含會引起界面漏電流之重金屬摻質，則可能會產生嚴重的後果。例如從濃密的幫浦油蒸氣中產生的有機污染物，可能會聚合物化，使得其極難去除。

濺射蝕刻矽層所產生之毀損可深入矽晶片 40 至 110 Å。視偏壓之條件而定，矽表面可包含高達 20 個原子百分比的氫。晶片表面材料的移除亦可能不均勻，導致尖銳的圓錐及蝕刻凹槽的產生。然而對一個典型的濺鍍蝕刻而言，所希望之蝕刻深度小於 100 Å，此值通常小於界面深度的 20%。然而濺鍍之預潔淨步驟的發展，對於每一種濺鍍系統，必須量測濺鍍潔淨步驟對於接點電阻、接點可靠度及界面漏電流之效應，以實驗的方式最佳化。

對於簡單的磁電管系統，如果基板及沉積之薄膜均為導電性的材料，則可能調整基板相對於電漿之偏壓。若於基板上施加一負偏壓，則基板之離子撞擊將增加。經由控制此偏壓，則可獨立於成長薄膜之濺鍍蝕刻的速率，改變沉積的速率。如圖 2.30 所示，因為於低壓時被濺射蝕刻的薄膜可能會再沉積於晶片上，所以可能達到改善階梯覆蓋的效果。



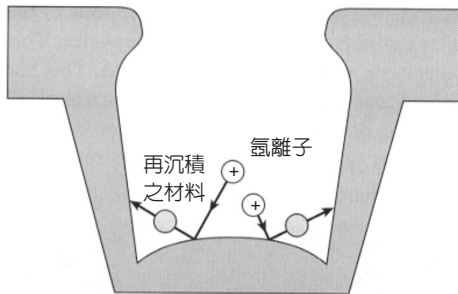


圖 2.30

於偏壓濺鍍中，入射於晶片表面之離子會使得沉積的薄膜重新分布，以改善階梯覆蓋。

Vossen 曾證明此技術實際上於一接點的側壁上可產生比表面更高之沉積速率，然而高的濺射蝕刻速率可能會導致下方基板之毀損，以及沉積層之刻面的產生。於較低的偏壓電壓下，入射離子之能量亦可能藉由增加被吸附原子之移動率而使階梯覆蓋的效果變佳。

於開始沉積之前，通常須將靶清潔乾淨。在打開開關葉片之前會點燃電漿作預濺鍍，所以靶上方的材料會沉積於開關葉片之背部而非基板之上方。預濺鍍一個常見的應用為去除金屬靶上方形成之自然氧化層，針對此種應用，可以利用改變輝光放電電流，以決定氧化層去除的程度。表面之氧化層通常具有高的二次電子放射率，所以當靶被潔淨之後，放電電流將趨於一穩定值。這些活性物種的預濺鍍亦會清除來自反應室的殘留活性氣體，如氧、水及氮，這是由於氣相反應以及於開關葉片之背表面覆蓋一層高度活性的薄膜所致。

以矽為基礎之積體電路的應用上，純鋁已經被鋁矽合金所取代，原因為可增加於淺接面上所形成之歐姆接點的可靠度。典型的矽濃度為 0.5 至 2.0 個原子百分比，而加入 0.5 至 1.0 個原子百分比的銅亦可降低金屬薄膜形成小丘的機會，且可大大地提升由這些薄膜所形成的線於通過大電流時不會有電遷移造成的衰變或應力所產生之空洞。

為了得到大的濺鍍沉積速率，大部分的鋁是利用平面式直流磁電管系統來沉積。因為這些薄膜均為合金，所以控制薄膜之化學計量成為最重要的課題。如同之前所討論的，沉積薄膜之組成通常與靶之本體的組成相近。於普通的基板溫度下，沉積薄膜之再蒸鍍可以忽略，所以薄膜的精確組成由電漿中之組成的傳輸特性來決定。例如於低的反應室壓力下，來自一鋁銅靶的濺鍍所生成之薄膜，其內的銅濃度將稍微高於靶中之銅濃度。銅的組成高與氫氣可熱化極輕之鋁原子的能力有關，而與氬氣和較重之銅原子的碰撞較無關。此種結果稱之為選擇性熱化 (selective thermalization)，對於如鋁銅或鎢化鈦等其中一個原子之質量遠大於另一個原子之質量的濺鍍材料而言最為顯著。

得到較佳化學計量控制的一個方法為擁有多重靶。靠著調整每一個靶的功率，即可改變沉積層的組成。第二種控制組成的方法不需要第二個功率供應源，而是利用具有不同濃度區的合成靶。最簡單的情況為，某一種材料之碎片可以利用黏著的方式使其附著於另一種材料上，薄膜之組成可以由暴露出來之區域的比值決定。例如，建構一個包含兩種材料且呈圓柱形對稱的靶是可能的。改善電漿之電性，即可控制沉積層的組成，然而在大部分量產用的濺鍍系統中，靶的組成僅是依據某一特殊製程所需的薄膜組成而決定。

薄膜之電阻率為與反應室中主壓力及氣體組成相關的函數。鋁與氧、氮及水之間會快速地起反應，當氮氣的分壓大於  $10^{-6}$  Torr 時，電阻率會快速上升。如果主要的氮氣源抽得不完全，則大部分的氮氣將於沉積期間被吸收。於此種情況下，可利用預濺鍍來潔淨反應室。較嚴重的情況是小的真空漏流，其可於沉積過程中貢獻氮氣。為了降低薄膜的阻抗率，許多進行鋁沉積之量產用系統的設計採用一負載鎖定 (load lock)，以避免主反應室排氣至空氣中的必要性。可將晶片於大於  $400\text{ }^{\circ}\text{C}$  的溫度下烘烤或曝深紫外光，以於負載鎖定室中去除大部分的吸附物種，之後再將晶片送入高真空反應室中。通常可利用一種稱為梅思納捕捉機 (Meissner trap) 的低溫機台，使殘留之氣體凝結，以降低抽真空的時間。

### 2.3.2 化學氣相沉積

前一節討論了以物理為基礎的方法進行薄膜之沉積，包括了蒸鍍及濺鍍。稱之為物理製程的原因是由於其中不涉及化學反應，而是利用加熱 (蒸鍍) 或是高能量離子撞擊 (濺鍍) 之方式產生欲沉積之材料的蒸氣。雖然矽 IC 大部分的金屬薄膜是利用這些方式沉積，但是階梯覆蓋仍為這些方式的主要問題，對於高深寬比之深次微米技術的極小接點而言，這是特別值得注意的地方。此外，這些技術不太適合於絕緣層或半導體層之沉積。本節將討論以化學反應為基礎的薄膜沉積方法，這些方法通常利用氣態化合物供應所需的化學品。根據定義，最後的產物其化學鍵結狀態與先驅氣體不同。

對於許多材料而言，化學氣相沉積 (chemical vapor deposition, CVD) 已經成為極常使用且極受歡迎的沉積方式，熱 CVD 亦已成為 IC 製造中大部分磊晶成長之基礎。對於簡單的熱 CVD 製程的一些修正，提供了另類的能源，如電漿或光學激發等，可用來驅動化學反應，使得沉積製程可以在低溫下進行。關於 IC 製造之 CVD 製程廣泛的回顧，讀者可參考 Sherman 的著作<sup>(44)</sup>。很不幸地，CVD 製程無法以簡單的解析式子來解釋，反應室內之氣體流量及化學反應兩者均與反應室及製程有關，所以需要詳細的數值分析。本節將從一個簡單的 CVD 系統開始介紹，以討論為了瞭解反應室內之化學反應及流動所必須解的方程式。本節其餘的部分將討論各種沉積系統，以及用於沉積令人感興趣之材料的特定氣體之化學。

為探討 CVD 製程，首先考慮圖 2.31 中所示的簡單反應器，反應器包含一個橫截面為矩形的爐管，爐管壁溫度保持於  $T_w$ 。爐管中央加熱的支撐座上可放置一晶片，支撐座之溫度保持於  $T_s$ ，於大部分的情況下， $T_s \gg T_w$ 。為了討論一個簡單但是具有代表性的製程，我們將利用矽甲烷氣體 ( $\text{SiH}_4$ ) 的分解以形成多晶矽。假設氣體從爐管的左方流向右方，因為矽甲烷接近熱支撐座時會開始分解，所以矽甲烷的濃度及沉積速率會沿著爐管之長度而降低。為了提升沉積之均勻度，可將矽甲烷混合於一惰性媒介氣體中。矽甲烷常用的稀釋劑為氫分子 ( $\text{H}_2$ )，假設反應室內之氣體組成為氫中含有 1% 的矽甲烷。稀釋劑不僅常應用於實際的系統中，其亦有避免化學反應進一步複雜化的功能，因為於典型的沉積條件下，只有

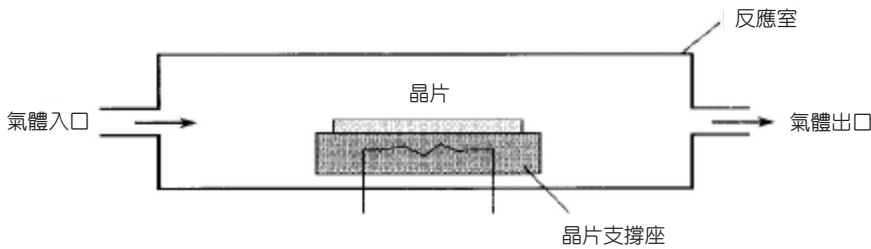


圖 2.31  
一個簡單的典型熱  
CVD 反應器。

極少數的氫氣能夠被分解。最後假設氣體進入爐管時之溫度與管壁的溫度相同，反應之產物以及任何未反應之矽甲烷會從爐管的右側流出去。反應室內之壓力變化將足夠慢，使得其內之壓力可以視為是均勻的。

所發生之全反應為



全反應的詳細過程則複雜許多。CVD 的特徵之一為從氣體源中釋放固體原子或一團原子之反應的位置，如果反應是自發性地發生於晶片上方之氣體，則稱為同質性的製程 (homogeneous process)。此種製程若是會產生固體，則通常是不希望見到的。以矽甲烷之沉積為例，過多的同質性反應將導致大的氣態矽微粒逐漸疊積於晶片上，最後之結果為沉積層的表面形態不佳，以及特性不一致。於實際系統中，此種沉積層之組成的控制不良，且可能有來自於反應室中之殘留氣體極多的污染物，因此本節將專注於異質性之製程，亦即以此種方式操作之製程，僅偏愛於表面形成固體。但即使是以此種方式執行之製程，同質反應仍然是重要的。例如於矽甲烷的沉積中，同質性的產出 silylene ( $\text{SiH}_2$ ) 是一個決定性的製程，因為一般相信吸附於晶片表面並產生出固體矽的為 silylene，而非矽甲烷本身。此過程的特徵是同質反應會產生氣態而非固態之產物。本節一開始將專注於最簡單的一種異質反應，其是在冷牆之反應室內進行 (如圖 2.31 中所示之情況)，且所有的沉積反應發生於晶片之表面。

一般而言，於化學氣相沉積製程期間所發生的步驟包括：(1) 先驅物 (precursors) 由反應室之入口傳送至晶片附近，(2) 這些氣體反應而形成一些子分子，(3) 這些反應物傳送至晶片之表面，(4) 表面反應以釋放矽，(5) 解除氣態副產物的吸附，(6) 將副產物傳送離開晶片之表面，(7) 將副產物帶離反應器。即使此討論只侷限於熱 CVD 此一極簡單之沉積系統，欲了解其中的每一個步驟，仍是極難克服的工作。為了將問題簡化，可將問題分成兩部分。首先將專注於發生於反應器內的化學反應，包括氣相以及於晶片之表面，接下來則將討論反應器內之氣體流動。選擇研究僅包含一低反應氣體濃度 (氫中含 1% 的矽甲烷) 之系統將使得此種區隔變得相當實際。於此種小且活性的分量中，氣體的熱及力學特性相對上不會被任一化學反應所影響。

低壓 CVD (low pressure CVD, LPCVD) 之反應器可以區分成熱牆及冷牆系統。熱牆系統具有均勻的溫度分布以及使對流效應降低之優點，而冷牆系統則能夠降低內壁上之沉積。這些沉積物可能導致沉積物的空乏及微粒之形成，而微粒可能會從器壁上剝落，落至晶片上。牆上的沉積物亦會導致記憶效應：先前沉積於牆上的材料會沉積於晶片上。基於此原因，熱牆反應器必須專用於某一特殊薄膜之成長。

實際上，所有的多晶矽以及許多種介電層的沉積是利用水平流動式之熱牆系統。其晶片緊密堆疊置放，而非利用一傾斜的晶片座，極像一熱氧化系統中之晶片。為了使此一系統達到合理的沉積均勻度，必須將製程設計成保持反應為沉積之動力學所嚴格控制。利用低氣壓 (0.1 至 1.0 Torr) 取代稀釋氣體，可降低氣相之成核率。此製程通常稱為 LPCVD。

水平式 LPCVD 系統與鍋爐類似，一個系統通常含有四根爐管，氣體是利用爐管背部之質量流控制器來控制及傳送至爐管的前端。氣體注入之方式視所執行之製程而定，氣體不是經由爐管前方之環注入，就是垂直於爐管，行經鍋爐之長度，並均勻地通過負載而注入。為了降低沉積於器壁上之微粒的衝擊，大部分的量產系統具有軟著陸懸臂負載器，以使載入／載出過程期間之微粒形成及剝落降至最少。晶片載入後，利用 O 型環密封的門來封閉鍋爐。再來是以惰性氣體，例如氮氣，充滿整個爐管，之後將爐管抽至中度真空。若鍋爐尚未升溫至沉積溫度，則先升溫，待到達沉積溫度並穩定後，則打開沉積用之氣體。沉積進行了一預定的時間後，再次地將爐管充滿氮氣，讓壓力升高至常壓後，將晶片載出。

最近 LPCVD 領域的一項革新是採用垂直式的反應室。與垂直的氧化／擴散爐管類似，這些系統與標準的爐管相比較具有一些優點。因為所有的晶片均為重力所束縛住，所以反應器內晶片與晶片間的距離較為均勻；此外，晶片上的對流效應亦較均勻地分布。由於以上這些優點，垂直式的 LPCVD 系統對於未摻雜的多晶矽以及氮化矽之沉積，其均勻度總是能優於 2%。垂直的 CVD 系統因為晶片相對於垂直方向不需要傾斜，使得機器手臂之操作較簡易，所以較容易整合並用於自動化生產。垂直式 LPCVD 系統最重要的優點或許是微粒數目下降，然而這些系統的成本則顯然高於傳統的 LPCVD 系統。

另一種廣泛應用於矽 IC 製造的熱牆 LPCVD 系統為熱牆交叉流動反應器。於此反應器內，晶片垂直地放置於緊密相鄰的晶片匣中。此種配置是為了使新鮮的氣體能夠流過每一晶片，這可降低微粒的形成並改善均勻度，然而此種系統需要大量的石英製品才得以維持。

大部分의 LPCVD 多晶矽為利用溫度介於 575 °C 到 650 °C 之鍋爐中的矽甲烷來達成。多晶矽沉積之活化能約為 1.7 eV。一般相信，沉積速率由矽表面之氫氣的解吸附來決定。典型的多晶矽沉積速率為 100 至 1000 Å/min，所以常見之沉積時間為數十分鐘。當氣體注入至爐管前端時，鍋爐也許可以設定成從前端至背部具有一小的溫度梯度 (25 °C)，這使得爐管背部較高的反應率可補償矽甲烷的空乏。溫度暴升會使得爐管背部之晶片的多晶矽顆粒較前端大，而發生不欲見的效應。然而於高溫回火後，薄膜的晶體結構則變得無法區分。通常於一批 100 片大直徑的晶片中，可得晶片之均勻度在 5% 以內。

沉積層的表面形態為沉積條件之一敏銳的函數。當沉積在低於 600 °C 的溫度下進行時，沉積層通常是非結晶矽的；但是當沉積之速率夠低時，則可能是多晶矽。當於低溫環境下進行回火時，這些層可能會結晶成多晶層。

LPCVD 多晶矽可以利用植入、固體或三氯氧磷 ( $\text{POCl}_3$ ) 擴散，或者於製程進行中以加入氫化砷 ( $\text{AsH}_3$ ) 或氫化磷 ( $\text{PH}_3$ ) 的方式使其成為  $n^+$  摻雜。以此種方式摻雜之多晶矽層摻質濃度可達到接近  $10^{21} \text{ cm}^{-3}$ 。成長中摻雜以及擴散方式摻雜之多晶矽層阻抗通常可小於  $1 \text{ m}\Omega \cdot \text{cm}$ 。成長中摻雜的主要困難點為氫化磷 ( $\text{PH}_3$ ) 的加入會使得沉積之均勻度變差，特別是晶片邊緣的位置。最近於模型方面的研究中，暗示這可能是由於 silylene 之濃度增加的結果。包含所有載入晶片之溫度變化的效應亦是相當重要的，特別是當考慮最上面與最下面幾片晶片的時候。

除了微粒的控制外，傳統 LPCVD 鍋爐的主要限制之一為不易將其整合成自動化、群組化的機台環境。最常見的例子為多晶矽。通常希望於單一的機台群組中可以成長氧化層、沉積多晶矽及摻雜多晶矽，此種系統可利用由中央機械手臂控制之一些簡單的單一晶片反應器來達成。以應用材料公司的 Precision 5000<sup>®</sup> 為例，晶片至多可以往返於五個反應室之間。晶片進入一負載鎖定的區域後，會被傳送至快速熱反應室中進行氧化。氧化之後，將晶片傳送至兩個多晶矽沉積的反應室之一。沉積之後，則將晶片送至另一個快速熱反應器，利用三氯氧磷 ( $\text{POCl}_3$ ) 源作磷的擴散。

用於 LPCVD 反應器之氧化層的熱牆沉積，其各種化學物質包括矽甲烷及氧、二氯矽甲烷 ( $\text{SiCl}_2\text{H}_2$  或 DCS) 與亞硝酸氧 ( $\text{N}_2\text{O}$ )，以及 TEOS (tetraethylorthosilicate) 之分解。矽甲烷及氧之製程可以在低於 500 °C 之基板溫度下進行，這意謂著其通常可用於在一鋁層上方沉積氧化層。在這些溫度下沉積之薄膜，被發現含有大量的氫氧化矽 ( $\text{SiOH}$ )、氫化矽 ( $\text{SiH}$ ) 及水。至於對應的常壓化學氣相沉積 (atmospheric pressure CVD, APCVD) 製程，主要之限制為微粒的產生以及低沉積速率。此外，由於基板溫度低，這些薄膜之階梯覆蓋的能力通常是無法令人接受的。

DCS 以及亞硝酸氧化物製程必須於約 900 °C 下進行，其均勻度以及階梯覆蓋之能力均極佳，且其蝕刻速率與熱二氧化矽相近。雖然這些薄膜實際上並不包含氫，但是卻包含了可量測到的含氫量，這可能會導致其下方的多晶矽層被蝕刻。DCS 與硝酸氧化物沉積製程之間存在著強烈之非線性的壓力相關性。整個爐管內存在沉積之不均勻度是正常的，可以採用特殊的注入器及溫度梯度以提供較均勻的沉積。

常見的 LPCVD 之氧化層製程為 TEOS 之熱分解。典型之沉積溫度夠低，通常為 650 至 750 °C，所以基板內之摻質的重新分布並不構成問題，但是此溫度對於成長鋁層上方之氧化層而言，仍然太高。曾有文獻報導，可以利用其他的有機金屬，例如 diacetoxymethyltrimethylsilane，作低溫沉積，因為其會在低於 450 °C 的溫度下分解，並具有極佳之階梯覆蓋的能力，但目前尚未廣泛使用。

未摻雜之 LPCVD 氧化層內的沉積應力約為  $1 \times 10^9$  至  $3 \times 10^9$  dyne/cm<sup>2</sup>，低溫沉積時的沉積層是伸展性的，而高溫下的沉積層則是壓縮性的。熱二氧化矽的折射率為 1.46，而沉積之氧化層的折射率一般而言則較高。通常會發現折射率較高的沉積氧化層具有較低的質量密度，且於緩衝之氫氟酸 (buffered HF) 中的蝕刻速率較高。與 APCVD 一樣，可以於 TEOS LPCVD 製程或矽甲烷及氧 (SiH<sub>4</sub> 及 O<sub>2</sub>) 之製程中，加入氫氣稀釋之磷化氫或磷化氫和雙甲硼烷的混合物，以製造出摻雜之氧化層。加入磷化氫通常會使得沉積速率增加，但是會降低沉積的均勻度，而加入雙甲硼烷以形成硼磷矽玻璃 (BPSG)，通常會使得沉積速率增加，但對於均勻度則只有些微的影響。

雖然氮化矽可以利用矽甲烷及一種含氮的先驅物來沉積，但是 LPCVD 最常採用的方法為利用 DCS 及氨 (NH<sub>3</sub>) 的混合物來沉積。典型的沉積溫度為 700 至 900 °C。此製程之活化能為 1.8 eV，沉積速率會隨著 DCS 之流量而增加。由於 DCS 之空乏效應，此種製程通常需要一驟升的升溫曲線。

檢查薄膜之組成的兩種常用技術為利用橢圓偏光儀量測折射率，以及量測薄膜於緩衝之氫氟酸中的蝕刻速率。折射率通常介於 1.8 和 2.2 之間，而 2.0 則為理想值。高折射率表示該薄膜是富含矽 (silicon-rich film) 的；低折射率則表示有氧的存在，通常是由於漏真空、含有污染氣體或者抽真空不完全所造成。若薄膜中含有太多的氧，則通常可由此薄膜於 49% 之氫氟酸中的蝕刻速率大於 1 nm/min 而得到驗證。氮化矽 (Si<sub>3</sub>N<sub>4</sub>) 中其他常見的摻質包括氫以及大約 0.4% 的氧。LPCVD 氮化矽薄膜通常含有高伸展應力 ( $10^{10}$  dyne/cm<sup>2</sup>)，於成長環境中增加 DCS 之濃度可降低此應力，但是將導致薄膜具有相當多過剩的矽。由於存在高濃度含矽的物種 (主要是二氯化矽 (SiCl<sub>2</sub>))，所以於氮化矽 (Si<sub>3</sub>N<sub>4</sub>) 的 LPCVD 成長期間，極可能會有氣相成核的發生，而導致氣體中含有高濃度的微粒。

在許多的應用中，必須於極低的基板溫度下沉積薄膜，於鋁的上方沉積二氧化矽以及於砷化鎵上方沉積氮化矽之覆蓋層是兩個常見的應用。為了補償這些較低的基板溫度，必須對氣態的及/或被吸附之分子施加另一能源。雖然實驗上已說明可用光學增強式沉積，但是在實際的量產應用中，只見到一些有限的應用，其中 RF 電漿為驅動 CVD 反應的主要非熱能源。電漿輔助化學氣相沉積 (plasma-enhanced CVD, PECVD) 系統具有不需要使基板處於高溫，而是利用表面之離子撞擊提供被吸附之物種能量，使得其可進一步沿著表面擴散之額外的優點，因此這種製程在填充小的特徵尺寸上具有極佳之表現。本節將討論利用電漿以增加 CVD 製程之沉積速率。因為最感興趣之主題為絕緣層的沉積，所以僅需考慮 RF 放電。

有三種基本的 PECVD 系統。雖然 PECVD 之氧化層可以於 13.56 MHz 下沉積，但是於每一系統中，所選擇之頻率通常小於 1 MHz。第一個 PECVD 系統為冷牆平行板反應器。氣體不是從邊緣即是經由上電極之淋沖頭注入，之後經由中間的一個埠排出；另一種情況是氣體由中央注入，從邊緣排出。隨著晶片直徑的增加，這些系統的低產出量以及邊緣的

均勻度等問題，使得其被排除於矽 IC 的製造中。然而，由於此種反應器適用於小晶片直徑以及每批晶片數不多的情況，所以此種反應器較適用於砷化鎵技術。

對於大直徑之矽 IC 晶片的製造而言，傳統的 PECVD 目前最常用的技術為平行板熱牆系統。與 LPCVD 爐管之外觀相似，晶片是垂直地置放在極性交替變化之傳導性的石墨電極上。雖然與一相當的 LPCVD 製程相較，其基板溫度可能遠低於 LPCVD 製程，但是其基板溫度之控制與任一爐管相較並無不同。雖然此種反應器之產出量優於平行板電漿反應器，但是卻遠低於標準的 LPCVD 系統。

熱牆整批式 PECVD 系統與其對應之加熱式 CVD 系統一樣遭受到氣體空乏／均勻度以及微粒方面的問題，因此目前冷牆式 PECVD 系統再次受到重視。為了增加產出量，可以於單一的真空系統中進行一系列的沉積步驟，或者可利用機械手臂操控反應器，使得數個單一晶片之反應室可同時運作。曾有一製造商循序地進行五個步驟的沉積，這不僅可改善產出量，亦可使均勻度接近 1%。

最近出現了高密度電漿 (HDP)，使得在低的基板溫度下可沉積高品質的薄膜層。這些反應器利用傳統的或電子迴旋共振 (electron cyclotron resonance, ECR) 式電漿，使得一種或更多種的先驅物得以分解或裂解。ECR 的一種應用為實際上不需對基板作離子轟擊即能分解氮氣 ( $N_2$ )，而形成可快速與矽甲烷反應成  $Si_xN_y$  的氮原子。矽甲烷可以從電漿外部引入。由於這些原子物種具有高度的活性，因此不需要高的基板溫度即能驅動反應並得到密度高的薄膜。曾有文獻指出，於溫度低達  $120^\circ C$  時可得到良好的二氧化矽薄膜。

HDP 電漿的低壓力 (約 0.01 Torr) 會導致平均自由路徑變長，因而使得階梯覆蓋的效果不佳。然而，如果將系統設計成可以有大量的離子轟擊於表面，則沉積之物種將連續地被濺射，使得高深寬比之結構可被良好的填充。HDP 沉積系統的主要限制之一為電漿中所產生的高濃度微粒數，而最近正利用微粒捕捉器 (particle trap) 及／或有微粒吸收能力之反應室表面來解決此問題。為了提升 ECR 之低沉積速率，量產系統可以於同一真空反應室內製造大量平行的遙控式電漿注入器，然而經由適當的設計，HDP CVD 系統可以對低溫下之沉積提供極佳的高品質薄膜。

PECVD 成長之氮化矽應用於砷化鎵的植入已有多年歷史。於矽技術中，此製程亦作為製程最後幾個步驟中的保護層或刮傷保護層。此製程是利用稀釋的混合氣體，例如氫或氮、矽甲烷，及氨 ( $NH_3$ ) 或氮分子 ( $N_2$ ) 兩者擇一，於  $300$  至  $400^\circ C$  的溫度下進行。熱牆及冷牆反應器皆曾應用過。

圖 2.32 為利用 (a) PECVD、(b) 熱且低於大氣壓力之 CVD 及 (c) HDP CVD 所沉積之二氧化矽 ( $SiO_2$ ) 的橫截面輪廓圖，從此圖中可看出薄膜覆蓋之程度。PECVD 薄膜的條塊狀麵包輪廓可以由改變基板之溫度、功率及壓力來調整。HDP 之輪廓是同步沉積及蝕刻的結果，且可獲致極佳的填充特性。如果蝕刻之速率太快，角落處的結構會被移除或削除 (removed or clipped)。通常此種蝕刻是由於反應室內氬氣的轟擊所造成。

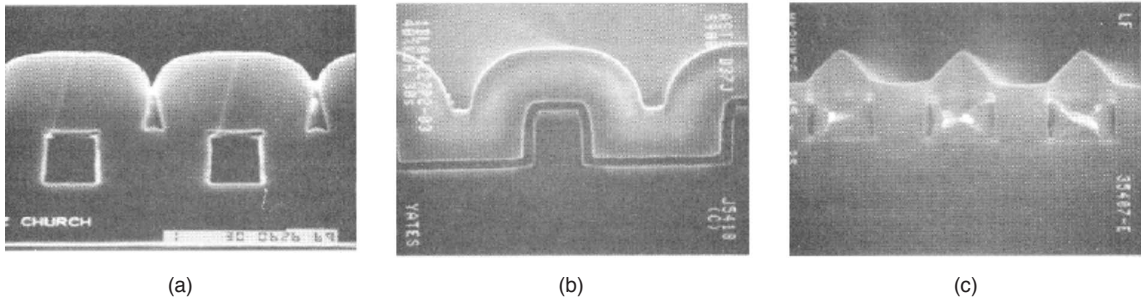


圖 2.32 利用 (a) PECVD、(b) 熱 CVD 及 (c) HDP CVD 所沉積之二氧化矽 ( $\text{SiO}_2$ ) 的橫截面輪廓圖。

沉積介電層的主要應用之一為形成 IC 之金屬連接層間的絕緣層。特別當使用鋁作為金屬材料時，PECVD 提供了所需之低溫成長製程。在此應用中，PECVD 氮化矽層的一個問題是氮化矽 ( $\text{Si}_3\text{N}_4$ ) 介電常數值相對上較大，因此當作為兩個金屬層之間的介電層時，將使得節點的電容值變大，使電路的速度變慢。為了使電路之表現提升，可以用 PECVD 氧化層取代氮化矽層。PECVD 二氧化矽層製程可以利用矽甲烷以及氧化劑來進行。可以採用氧，但是矽甲烷與氧之間的反應並不需要電漿來驅動，因此於氣體入口之噴口處以及晶片上方之氣體將有相當多均質的成核化發生，使得晶片表面上具高微粒數，且表面形態不良。亦可以採用二氧化碳，而亞硝酸氧化物 ( $\text{N}_2\text{O}$ ) 為避免碳併入之最佳氧化劑。亦有文獻報導，加入氬作為稀釋劑，可改善薄膜的沉積均勻度及再現性。

前面描述了 CVD 之特性：極佳的階梯覆蓋能力以及在低的基板溫度下沉積。階梯覆蓋方面最嚴重的問題之一係於金屬通過接點時產生。特別是對於深次微米元件，除非採用極高的沉積溫度，否則濺鍍沉積的薄膜對於愈來愈高之高深寬比的特徵接點將不再可達到令人滿意的程度。此外為了確保金屬於接點上的覆蓋能力，於蝕刻製程期間必須小心地將側壁蝕刻成傾斜，使接點的底部面積小於頂部的面積。如圖 2.33 所示，為了配合此接點之變寬，典型的金屬線必須有罩子 (cap)，這些罩子會大大地降低線的密度。最後的表面形態為許多逐漸變窄的接點，所以不允許重合的接點或「插塞」結構。另一方面，如果金屬 CVD 得以應用，則可採用垂直接點結構，將其接點填滿並降低其表面起伏。此時不需再利用罩子結構，且階梯覆蓋的問題緩和許多，因此金屬 CVD 是目前高度努力發展中的製程。在各種已嘗試過的金屬中，鎢是最成功的一種<sup>(45)</sup>。

大部分早期在鎢 CVD 方面的研究是於標準的水平式 LPCVD 爐管中進行<sup>(46)</sup>。研究發現，鎢並不會附著於爐管壁上，所以其產生之微粒是一個嚴重的問題。然而尚存在另一個問題，鎢的薄膜會有效地遮蔽用於加熱晶片之線圈產生的紅外線輻射 (IR radiation)，此效應會導致均勻度及再現性不佳。由於以上這些問題之故，目前大部分的鎢 CVD 是於冷牆反應器內進行的。由於先驅物具有高度的活性，所以保持反應室內牆的溫度約低於  $150\text{ }^\circ\text{C}$ ，對於製程之成功具有決定性的意義。鎢的來源包括  $\text{WCl}_6$ <sup>(47)</sup>、 $\text{W}(\text{CO})_6$ <sup>(48)</sup> 以及  $\text{WF}_6$ 。這些來源之



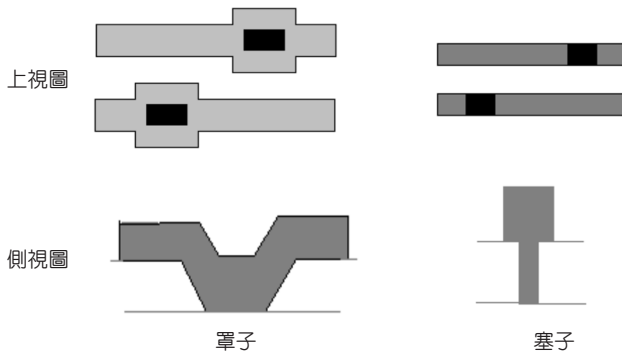


圖 2.33

利用罩子 (cap) 及塞子 (plug) 填充之接點。

中，只有  $WF_6$  在室溫下為液體，其沸點為  $25^\circ C$ ，其他則為高蒸氣壓之固體。因此大部分 CVD 成長的鎢是利用氫氣 ( $H_2$ ) 為載送氣體，並以  $WF_6$  來進行製程的，其沉積溫度通常小於  $400^\circ C$ 。

最簡單的一種鎢沉積製程為全面性的 CVD 鎢製程。因為全面性的 CVD 鎢薄膜於氧化層上的附著不良，所以必須先沉積一層薄的附著層。最常用的一種薄膜為濺鍍的或 CVD 成長的氮化鈦 (CVD TiN)，其通常作為鉛之金屬連接線下方的障壁金屬層。然而研究結果顯示，除非於成長之起始相期間即採用矽甲烷，否則鎢於氮化鈦上之沉積實際上有一段起始時間，在該期間內，不會有任何薄膜成長。實驗發現，當以矽甲烷稀釋六氟化鎢 ( $WF_6$ ) 時，若此氣體之混合物富含六氟化鎢 (rich in  $WF_6$ )，會沉積出純鎢；若此氣體之混合物富含矽甲烷 (rich in  $SiH_4$ )，則會沉積出鎢的矽化物。雖然典型的沉積速率相當低，鎢 CVD 的最佳階梯覆蓋是利用六氟化鎢及氫分子 ( $H_2$ ) 得到的<sup>(49)</sup>。因為 CVD 鎢薄膜的主要應用之一即為填充高深寬比之接點，所以這是一個主要的問題。如果薄膜之階梯覆蓋不佳，則當接點的頂端封住時，接點中心將會留下一個空洞。

## 參考文獻

1. L. B. Valdes, *Proc. IRE*, **42**, 420 (1954).
2. D. K. Schroder, *Semiconductor Material and Device Characterization*, New York: Wiley-Interscience (1990).
3. L. J. Van der Pauw, *Phillips Res. Rep.*, **13**, 1 (1958).
4. D. S. Perloff, *J. Electrochem. Soc.*, **123**, 1745 (1976).
5. A. Diebold, M. R. Kump, J. J. Kopanski, and D. G. Seiler, *J. Vacuum Sci. Technol. B.*, **14**, 196 (1996).
6. B. E. Deal and A. S. Grove, *J. Appl. Phys.*, **36**, 3770 (1965).
7. M. M. Aptyalia, in *Properties of Elemental and Compound Semiconductors*, H. Gates, ed., New York: Interscience, 163 (1960).
8. R. S. Ronen and P. H. Robinson, *J. Electrochem. Soc.*, **119**, 747 (1972).

9. D. W. Hess and B. E. Deal, *J. Electrochem. Soc.*, **124**, 735 (1977).
10. J. W. Mayer, L. Erickson, and J. A. Davies, *Ion Implantation in Semiconductors, Silicon and Germanium*, New York: Academic Press (1970).
11. G. Dearnaley, J. H. Freeman, R. S. Nelson, and J. Stephen, *Ion Implantation*, Amsterdam: New Holland (1973).
12. J. F. Gibbons, *Proc. IEEE*, **56**, 295 (1968).
13. D. S. Gemmell, *Rev. Mod. Phys.*, **46**, 129 (1974).
14. N. L. Turner, *Solid State Technol.*, 163, Feb. (1985).
15. S. M. Hu, *J. Appl. Phys.*, **40**, 4413 (1969).
16. C. Hill, in *Laser and Electron Beam Solid Interactions and Materials Processing*, J. F. Gibbons, L. D. Hess, and T. W. Sigmon, eds., North Holland: Elsevier (1981).
17. K. Knutson, S. A. Campbell, and F. Dunn, *IEEE Trans. Semicon Man.*, **7**, 68 (1994).
18. K. S. Jones and G. A. Rozgonyi, in *Rapid Thermal Processing Science and Technology*, R. B. Fair, ed., Boston: Academic Press (1993).
19. V. E. Borisenko and P. J. Hesketh, *Rapid Thermal Processing of Semiconductors*, New York: Plenum (1997).
20. A. Leitoila, J. F. Gibbons, T. J. McGee, J. Peng, and J. D. Hong, *Appl. Phys. Lett.*, **35**, 532 (1979).
21. J. R. Marchiando, P. Roitman, and J. Albers, *IEEE Trans. on Electron. Dev.*, **TED-32**, 2322 (1985).
22. R. B. Fair, in *Rapid Thermal Processing Science and Technology*, R. B. Fair, ed., Boston: Academic Press (1993).
23. H. Kinoshita, T. H. Huang, and D. L. Kwong, *Mat. Res. Soc. Symp. Proc.*, **303**, 259 (1993).
24. R. B. Fair, *IEEE Trans. on Electron. Dev.*, **TED-35**, 285 (1988).
25. J. Nulman, J. P. Krusius, and A. Gat, *IEEE Electron Dev. Lett.*, **EDL-6**, 205 (1985).
26. G. Stevens, *Microphotography*, New York: Wiley (1967).
27. M. Bowden, L. Thompson, and C. Wilsons, eds., *Introduction to Microlithography*, American Chemical Soc. (1983).
28. D. Elliott, *Integrated Circuit Fabrication Technology*, New York: McGraw-Hill (1982).
29. W. M. Moreau, *Semiconductor Lithography, Principles, Practices, and Materials*, New York: Plenum (1988).
30. P. Burggraaf, *Semicond. Int.*, **15** (3), 52 (1992).
31. The National Technology Roadmap for Semiconductors 1997 Edition, Semiconductor Industry Association, San Jose (1997).
32. D. Leers, *Solid State Technol.*, 91, March (1981).
33. F. B. McLean, H. E. Boesch Jr., and T. R. Oldham, in *Ionizing Radiation Effects in MOS Devices and Circuits*, T. P. Ma and P. V. Dessenorfer, eds., New York: Wiley-Interscience (1989).
34. P. Nehmiz, W. Zapka, U. Behringer, M. Kallmeyer, and H. Bohlen, *J. Vac. Sci., Technol. B*, **3**, 136 (1985).

35. S. E. Bernacki and H. I. Smith, *IEEE Trans. Electron. Dev.*, **22**, 421 (1975).
36. J. A. Abate, *Proc. SPIE*, **1223**, 37 (1990).
37. W. A. Kern and C. A. Deckert, in *Thin Film Processing*, J. L. Vossen, ed., New York: Academic (1978).
38. S. M. Hu and D. R. Kerf, *J. Electrochem. Soc.*, **114**, 414 (1967).
39. T. J. Cotler and M. Elta, *IEEE Circuits, Dev. Mag.*, 38, July (1990).
40. I. A. Blech, B. D. Fraser, and S. E. Haszko, *J. Vac. Sci. Technol.*, **15**, 13 (1978).
41. Y. Homma and S. Tsunekawa, *J. Electrochem. Soc.*, **132**, 1466 (1985).
42. J. Bloch, M. Heiblum, and J. J. O'Sullivan, *IBM Tech. Disc. Bull.*, **27**, 6789 (1985).
43. L. C. Hecht, *J. Vac. Sci. Technol.*, **14**, 648, Jan/Feb (1977).
44. A. Sherman, *Chemical Vapor Deposition for Microelectronics: Principles, Technology, and Applications*, Noyes, Park Ridge, NJ (1987).
45. John E. J. Schmitz, *Chemical Vapor Deposition of Tungsten and Tungsten Silicides for VLSI/ULSI Applications*, Noyes, Park Ridge, NJ (1992).
46. E. K. Broadbent and C. L. Ramiller, *J. Electrochem. Soc.*, **131**, 1427 (1984).
47. C. M. Melliar-Smith, A. C. Adams, R. -K. Kaiser, and R. A. Kushner, *J. Electrochem. Soc.*, **121**, 298 (1974).
48. L. Kaplan and F. d'Heurle, *J. Electrochem. Soc.*, **117**, 693 (1970).
49. J. E. J. Schmitz, R. C. Ellwanger, and A. J. M. van Dijk, *Tungsten Workshop III*, 55 (1988).